

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-175764

(43)Date of publication of application : 21.06.2002

(51)Int.Cl. H01J 29/32
H01J 29/28
H01J 31/12

(21)Application number : 2000-373424 (71)Applicant : SONY CORP
(22)Date of filing : 07.12.2000 (72)Inventor : KONISHI MORIKAZU

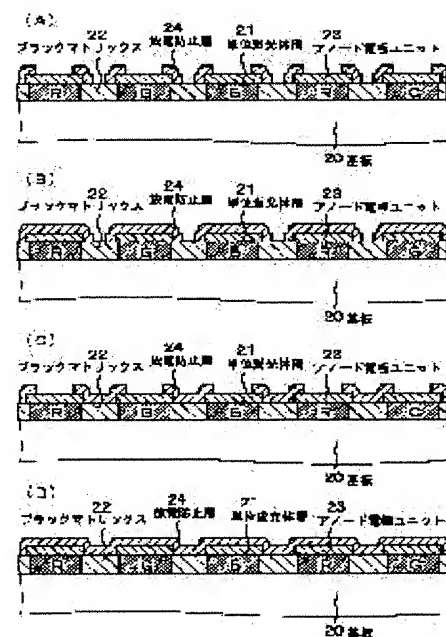
(54) DISPLAY PANEL AND DISPLAY DEVICE USING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a display panel unlikely to generate electric discharge in its anode electrode, capable of suppressing the voltage drop within a certain extent irrespective of the number of selected electrodes to be fed with video signals at the rear panel and achieving stabilization of the brightness on the display screen.

SOLUTION: The display panel AP is composed of a base board 20, a plurality of unit phosphor layers 21 formed on the base board 20, anode electrode, and a discharge preventive layer 24, wherein the anode electrode is composed of a plurality of anode electrode units 23 which are formed on the unit phosphor layers 21 in the specified number, and the discharge preventive layer 24 covers at least the edges of each anode electrode unit 23.

【図1】



LEGAL STATUS

[Date of request for examination] 28.06.2006

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2002-175764
(P2002-175764A)

(43)公開日 平成14年6月21日(2002.6.21)

(51)Int.Cl.⁷
H 0 1 J 29/32
29/28
31/12

識別記号

F I
H 0 1 J 29/32
29/28
31/12

テーマコード(参考)
5 C 0 3 6

C

審査請求 未請求 請求項の数 8 O L (全 52 頁)

(21)出願番号 特願2000-373424(P2000-373424)

(22)出願日 平成12年12月7日(2000.12.7)

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 小西 守一

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

(74)代理人 100094363

弁理士 山本 孝久

Fターム(参考) 5C036 BB10 CC01 EE19 EF01 EF06
EF08 EG02 EG24 EH04

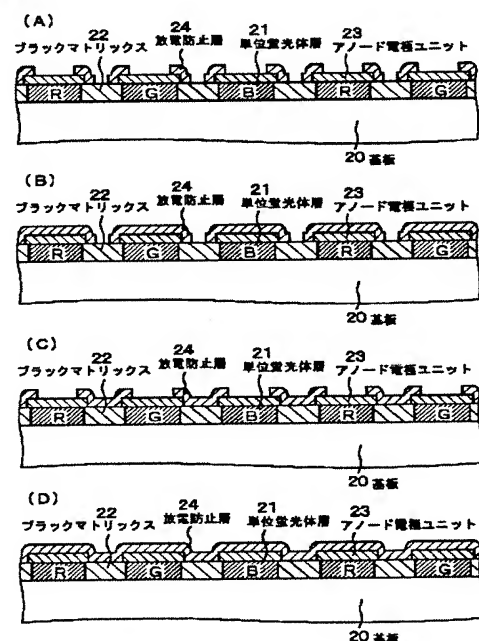
(54)【発明の名称】 表示用パネル及びこれを用いた表示装置

(57)【要約】

【課題】例えば、背面パネル側においてビデオ信号が入力される電極の選択本数に依らず、電圧降下を一定範囲内に抑さえ、以て、表示画面の輝度の安定化を達成することができ、しかも、アノード電極において放電が生じ難い表示用パネルを提供する。

【解決手段】表示用パネルA Pは、(A)基板20と、(B)基板20上に形成された複数の単位蛍光体層21と、(C)アノード電極から成り、(D)放電防止層24を更に有し、アノード電極は複数のアノード電極ユニット23から成り、各アノード電極ユニット23は所定数の単位蛍光体層21上に形成され、放電防止層24は少なくともアノード電極ユニット23の縁部を被覆している。

【図1】



1

【特許請求の範囲】

【請求項 1】 (A) 基板と、

(B) 基板上に形成され、真空空間中から飛来した電子によって発光する複数の単位蛍光体層と、

(C) 電子を単位蛍光体層に向かって誘導するためのアノード電極、

から成る表示用パネルであって、

(D) 放電防止層、を更に有し、

アノード電極は、複数のアノード電極ユニットから成り、

各アノード電極ユニットは、所定数の単位蛍光体層上に形成され、

放電防止層は、少なくともアノード電極ユニットの縁部を被覆していることを特徴とする表示用パネル。

【請求項 2】 放電防止層は、高抵抗材料から構成されていることを特徴とする請求項 1 に記載の表示用パネル。

【請求項 3】 放電防止層は、隣接するアノード電極ユニットの間の隙間を埋めていることを特徴とする請求項 1 に記載の表示用パネル。

【請求項 4】 放電防止層は、アノード電極の全面に形成されていることを特徴とする請求項 1 に記載の表示用パネル。

【請求項 5】 表示用パネルと、複数の電子放出体を有する背面パネルとが真空空間を挟んで対向配置され、表示用パネルは、

(A) 基板と、

(B) 基板上に形成され、真空空間中から飛来した電子によって発光する複数の単位蛍光体層と、

(C) 電子を単位蛍光体層に向かって誘導するためのアノード電極と、

(D) 放電防止層、から成り、

アノード電極は、複数のアノード電極ユニットから成り、

各アノード電極ユニットは、所定数の単位蛍光体層上に形成され、

放電防止層は、少なくともアノード電極ユニットの縁部を被覆していることを特徴とする表示装置。

【請求項 6】 放電防止層は、高抵抗材料から構成されていることを特徴とする請求項 5 に記載の表示装置。

【請求項 7】 放電防止層は、隣接するアノード電極ユニットの間の隙間を埋めていることを特徴とする請求項 5 に記載の表示装置。

【請求項 8】 放電防止層は、アノード電極の全面に形成されていることを特徴とする請求項 5 に記載の表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、表示用パネル及びこれを用いた表示装置に関し、より詳しくは、真空空間中から飛来した電子によって蛍光体層を励起発光させる

2

表示用パネル、及び、かかる表示用パネルが組み込まれた表示装置に関する。

【0002】

【従来の技術】 現在主流の陰極線管 (CRT) に代わる画像表示装置として、平面型 (フラットパネル形式) の表示装置が種々検討されている。このような平面型の表示装置として、液晶表示装置 (LCD)、エレクトロルミネッセンス表示装置 (ELD)、プラズマ表示装置

(PDP) を例示することができる。また、熱的励起によらず、固体から真空中に電子を放出することが可能な冷陰極電界放出型の表示装置、所謂冷陰極電界電子放出表示装置 (フィールドエミッションディスプレイ、FED) も提案されており、画面の明るさ及び低消費電力の観点から注目を集めている。

【0003】 従来の冷陰極電界電子放出表示装置の構成例を図 4 9 に示す。この冷陰極電界電子放出表示装置においては、表示用パネル (アノードパネル AP) と背面パネル (カソードパネル CP) とが対向配置され、両パネル AP、CP は、各々の周縁部において図示しない枠体を介して互いに接着され、両パネル AP、CP 間の閉鎖空間が真空空間とされている。カソードパネル CP は、電子放出体として冷陰極電界電子放出素子 (以下、電界放出素子と称する) を備えている。図 4 9 では、電界放出素子の一例として、円錐形の電子放出部 15 を有する、所謂スピント (Spindt) 型電界放出素子を示す。スピント型電界放出素子は、支持体 10 上に形成されたカソード電極 11 と、カソード電極 11 及び支持体 10 上に形成された層間絶縁層 12 と、層間絶縁層 12 上に形成されたゲート電極 13 と、ゲート電極 13 及び層間絶縁層 12 に設けられた開口部 14 内に形成された円錐形の電子放出部 15 から構成されている。通常、多数の電子放出部 15 が、後述する蛍光体層 121 の 1 つに対応付けられている。電子放出部 15 には、カソード電極駆動回路 30 からカソード電極 11 を通じて相対的に負電圧 (ビデオ信号) が印加され、ゲート電極 13 にはゲート電極駆動回路 31 から相対的に正電圧 (走査信号) が印加される。これらの電圧印加によって生じた電界に応じ、電子放出部 15 の先端から、量子トンネル効果に基づき、電子が放出される。尚、電子放出体としては、上述のようなスピント型電界放出素子に限られず、所謂エッジ型や平面型やクラウン型等、他のタイプの電界放出素子が用いられる場合もある。また、上述とは逆に、走査信号がカソード電極 11 に入力され、ビデオ信号がゲート電極 13 に入力される場合もある。

【0004】 一方、アノードパネル AP は、ガラス等から成る基板 20 上にマトリックス状あるいはストライプ状に形成された複数の蛍光体層 121 と、蛍光体層 121 及び基板 20 上に形成された反射膜としても機能するアノード電極 123 を有する。アノード電極 123 には、加速電源 (アノード電極駆動回路) 32 から、ゲー

3

ト電極 13 に印加される正電圧よりも高い正電圧が印加され、電子放出部 15 から真空中間中へ放出された電子を、蛍光体層 121 に向かって誘導する役割を果たす。また、アノード電極 123 は、蛍光体層 121 を構成する蛍光体粒子をイオン等の粒子によるスパッタリングから保護する機能、電子励起によって生じた蛍光体層 121 の発光を基板側へ反射させ、基板 20 の外側から観察される表示画面の輝度を向上させる機能、及び、過剰な帯電を防止してアノードパネル A P の電位を安定化させる機能も有する。即ち、アノード電極 123 は、陰極線管 (CRT) の分野でメタルバック膜として知られている部材が果たす機能を兼ねている。アノード電極 123 は、通常、厚さ $0.07\mu\text{m}$ 前後のアルミニウム薄膜を用いて構成されている。

【0005】図 50 の (A) に、蛍光体層 (赤色蛍光体層 121R, 緑色蛍光体層 121G, 青色蛍光体層 121B) がマトリックス状に形成された表示用パネルの模式的な平面図を示し、図 50 の (B) に、図 50 の

(A) の線 X-X に沿った模式的な一部断面図を示す。蛍光体層 121R, 121G, 121B が配列されている領域が冷陰極電界電子放出表示装置としての実用上の機能を果たす有効領域であり、アノード電極 123 の形成領域はこの有効領域にはば一致しており、1 枚のシート状の形状を有する。図 50 の (A) では、明確化のために、アノード電極 123 が形成された領域に斜線を施した。有効領域の周囲は、周辺回路の収容や表示画面の機械的支持等、有効領域の機能を支援する無効領域である。アノード電極 123 を例えば 5 キロボルトの加速電源 (図 49 の加速電源 32 を参照) に接続するための給電部 125 が、基板 20 上に設けられている。また、加速電源 32 とアノード電極 123 との間には、通常、過電流や放電を防止するための抵抗部材 (図示した例では抵抗値 $100\text{M}\Omega$ の抵抗器) が配設されている。この抵抗部材は、基板外に配設されている。

【0006】図 51 の (A) に、蛍光体層 121 がストライプ状に形成された表示用パネルの模式的な平面図を示し、図 51 の (B) に、図 51 の線 X-X に沿った模式的な一部断面図を示す。図 51 の参照符号は図 50 と一部共通であり、共通部分については詳しい説明を省略する。アノード電極 123 の形成領域は、表示用パネルの有効領域のほぼ全面に互っている。

【0007】

【発明が解決しようとする課題】従来の冷陰極電界電子放出表示装置には、カソードパネル側で選択された画素又はサブピクセルの数に応じて、表示画面の輝度が変動するといった問題がある。カソードパネル C P の模式的な平面図を図 52 の (A) 及び図 52 の (B) に模式的に示す。これらの図面では、明確化のために、非選択状態のカソード電極 11 (カソード電極駆動回路 30 より +50 ボルトの電圧を印加) を薄いハッチングで表し、

4

選択状態のカソード電極 11 (同じく 0 ボルトの電圧を印加) を濃いハッチングで表す。選択状態のカソード電極 11 に印加されるビデオ信号は、階調に応じて 0 ボルト以上、+50 ボルト未満の値を取り得るが、ここでは簡単のために 0 ボルトとする。一方、非選択状態のゲート電極 13 (ゲート電極駆動回路 31 より 0 ボルトの電圧を印加) を白抜きで表示し、選択状態のゲート電極 13 (同じく +50 ボルトの電圧を印加) をハッチングで表す。カソード電極 11 とゲート電極 13 の射影像が重なる領域 (以下、重複領域と称する) は、単色冷陰極電界電子放出表示装置では 1 画素、カラー冷陰極電界電子放出表示装置では 1 サブピクセルに相当する。1 つの重複領域に、通常、複数の電界放出素子が形成されている。選択されたカソード電極 11 と選択されたゲート電極 13 との重複領域は、選択画素 (又は選択サブピクセル) であり、図中、白丸で表示する。ゲート電極 13 は上から下へ順に第 m 行、カソード電極 11 は左から右へ順に第 n 列と称することにする。

【0008】いま、図 52 の (A) に示すように、第 1 行のゲート電極 13 と第 1 列のカソード電極 11 が選択されたとなると、第 1 行第 1 列に位置する重複領域に配列された電界放出素子から電子が放出され、対向する蛍光体層 121 が発光する。ここで、アノードパネル A P からカソードパネル C P に向けて $1\mu\text{A}$ の電流が流れるとすると、このときの電圧降下は $1\mu\text{A} \times 100\text{M}\Omega = 0.1$ キロボルトとなる。即ち、カソードパネル C P とアノードパネル A P の間には、 $5 - 0.1 = 4.9$ キロボルトの加速電圧が加わる。ところが、図 52 の (B) に示すように、第 2 行のゲート電極 13 の選択に対して、例えば第 2 列、第 6 列、第 9 列、第 11 列及び第 14 列の 5 本のカソード電極 11 が選択されたとなると、アノードパネル A P からカソードパネル C P に向けて流れる電流は合計 $5\mu\text{A}$ となり、電圧降下は 0.5 キロボルトとなり、従って、カソードパネル C P とアノードパネル A P の間に加わる加速電圧は $5 - 0.5 = 4.5$ キロボルトに減少する。このことは、蛍光体層 121 に衝突する電子のエネルギーの低下、ひいては表示画面の輝度低下につながる。つまり、表示画面の輝度は、ゲート電極 13 の 1 行毎に選択されたカソード電極 11 の本数に応じて変動する。

【0009】従って、本発明の目的は、例えば、背面パネル側においてビデオ信号が入力される電極の選択本数に依らず、電圧降下を一定範囲内に抑え、以て、表示画面の輝度の安定化を達成することができ、しかも、アノード電極において放電が生じ難い表示用パネル、及び、かかる表示用パネルが組み込まれた表示装置を提供することにある。

【0010】

【課題を解決するための手段】上記の目的を達成するための本発明の表示用パネルは、(A) 基板と、(B) 基

5

板上に形成され、真空空間中から飛来した電子によって発光する複数の単位蛍光体層と、(C)電子を単位蛍光体層に向かって誘導するためのアノード電極、から成る表示用パネルであって、(D)放電防止層、を更に有し、アノード電極は、複数のアノード電極ユニットから成り、各アノード電極ユニットは、所定数の単位蛍光体層上に形成され、放電防止層は、少なくともアノード電極ユニットの縁部を被覆していることを特徴とする。

【0011】また、上記の目的を達成するための本発明の表示装置は、表示用パネルと、複数の電子放出体を有する背面パネルとが真空空間を挟んで対向配置され、表示用パネルは、(A)基板と、(B)基板上に形成され、真空空間中から飛来した電子によって発光する複数の単位蛍光体層と、(C)電子を単位蛍光体層に向かって誘導するためのアノード電極と、(D)放電防止層、から成り、アノード電極は、複数のアノード電極ユニットから成り、各アノード電極ユニットは、所定数の単位蛍光体層上に形成され、放電防止層は、少なくともアノード電極ユニットの縁部を被覆していることを特徴とする。

【0012】本発明の表示用パネルあるいは表示装置において、単位蛍光体層とは、表示用パネル上において1つの輝点を生成する蛍光体層であると定義する。即ち、1画素に相当する。カラー陰極線管等の表示装置の分野では、R(赤)、G(緑)、B(青)の光の三原色に対応する赤色単位蛍光体層、緑色単位蛍光体層、青色単位蛍光体層の3つ1組を「ピクセル」と称し、これを画面精細度の記述単位とすることが多いが、本発明における単位蛍光体層は、ピクセルとは異なる。

【0013】カラー表示用の表示用パネルあるいは表示装置にあっては、赤色単位蛍光体層、緑色単位蛍光体層、青色単位蛍光体層のそれぞれは、基板上にドットマトリックス状に配列されていてもよいし、複数の単位蛍光体層がストライプ状に集合した形態にて基板上に配列されていてもよい。ここで、複数の単位蛍光体層がストライプ状に集合した形態の蛍光体層を、便宜上、ストライプ状蛍光体層群と呼ぶ。尚、ドットマトリックス状やストライプ状の配列様式において、隣り合う単位蛍光体層、あるいは、単位蛍光体層の隙間は、コントラスト向上を目的としたブラックマトリックスで埋め込まれていてもよい。

【0014】本発明の表示用パネルあるいは表示装置において、アノード電極ユニットは、1つの単位蛍光体層上に形成されていてもよいし(即ち、所定数=1)、複数の単位蛍光体層上に形成されていてもよい。後者の場合、各アノード電極ユニットの平面形状は特に限定されないが、有効領域内における輝度分布を均一化する観点からは、隣接するアノード電極ユニット間に不規則な大きさの隙間を生じさせない平面形状であることが好ましい。複数の単位蛍光体層上に形成されている場合であつ

6

て、赤色単位蛍光体層、緑色単位蛍光体層、青色単位蛍光体層のそれぞれが基板上にドットマトリックス状に配列されている場合、赤色単位蛍光体層、緑色単位蛍光体層及び青色単位蛍光体層の集合(1ピクセルに相当する)上に1つのアノード電極ユニットが形成されている構成とすることができし、複数のピクセルに相当する単位蛍光体層の集合上に1つのアノード電極ユニットが形成されている構成とすることもできる。また、複数の単位蛍光体層上に形成されている場合であって、複数の単位蛍光体層がストライプ状に集合した形態にて基板上に配列されている場合、赤色ストライプ状蛍光体層群、緑色ストライプ状蛍光体層群及び青色ストライプ状蛍光体層群のそれぞれの上に1つずつ、アノード電極ユニットが形成されていてもよいし、1組の赤色ストライプ状蛍光体層群、緑色ストライプ状蛍光体層群及び青色ストライプ状蛍光体層群を覆うように1つのアノード電極ユニットが形成されていてもよいし、赤色ストライプ状蛍光体層群、緑色ストライプ状蛍光体層群及び青色ストライプ状蛍光体層群の組の複数を覆うように1つのアノード電極ユニットが形成されていてもよい。

【0015】本発明の表示用パネルあるいは表示装置において、放電防止層は、高抵抗材料から構成されていることが好ましい。高抵抗材料として、具体的には、CrOx、Al₂O₃、SiC、SiN、アモルファスシリコン等を挙げることができる。単位蛍光体層の上方に放電防止層が形成されている場合、単位蛍光体層の上方における放電防止層の膜厚は、真空空間中から飛来した電子が放電防止層を確実に通過し、単位蛍光体層と衝突するような厚さとする必要があり、具体的には、1nm乃至50nm、好ましくは、10nm乃至15nmとすることが望ましい。

【0016】本発明の表示用パネルあるいは表示装置において、放電防止層は、少なくともアノード電極ユニットの縁部を被覆していればよく、隣接するアノード電極ユニットの間の隙間を埋めていてもよいし、アノード電極の全面に形成されていてもよい。放電防止層が隣接するアノード電極ユニットの間の隙間を埋めている場合、あるいは又、アノード電極の全面に形成されている場合、隣接するアノード電極ユニット間における放電防止層の抵抗値は、100Ω乃至100kΩ、好ましくは、200Ω乃至10kΩであることが望ましい。尚、放電防止層の抵抗値が低すぎる場合、アノード電極を1枚の導電材料から構成したのと同じとなり、アノード電極をアノード電極ユニットに分割した意味がなくなる。一方、放電防止層の抵抗値が高すぎる場合、放電防止層が帯電する虞が生じる。

【0017】各アノード電極ユニットを、給電線を介して加速電源(アノード電極駆動回路)に接続する構成とすることが好ましい。アノード電極ユニットが1つの単位蛍光体層上に対応して形成されている場合、給電線が

7

各アノード電極ユニットに接続されている構成とすればよい。即ち、給電線は、各アノード電極ユニットに対応して設けられている構成とすればよい。一方、アノード電極ユニットが複数の単位蛍光体層（例えば、ストライプ状蛍光体層群、あるいは1又は複数ピクセルに対応した単位蛍光体層の集合）上に形成されている場合にも、給電線が各アノード電極ユニットに接続されている構成とすればよい。これらの場合、複数の給電線は、例えば表示用パネルの縁部の1ヶ所に設けられた接続端子まで無効領域上を延び、この接続端子から配線を介して加速電源に接続する構成とすることができる。有効領域内における輝度分布を均一化する観点からは、各給電線の長さをできるだけ揃え、配線抵抗を均一化することが好ましい。給電線とアノード電極ユニットとは同時に形成してもよいし、別々に形成してもよい。放電防止層がアノード電極の全面に形成されている場合、場合によっては、放電防止層を加速電源（アノード電極駆動回路）に接続する構成とすることもできる。

【0018】本発明の表示装置における電子放出体として、冷陰極電界電子放出素子（以下、電界放出素子と称する）を挙げることができる。電界放出素子の型式は、特に限定されず、スピント型電界放出素子、クラウン型電界放出素子、扁平型電界放出素子、平面型電界放出素子、クレータ型電界放出素子、エッジ型電界放出素子のいずれであってもよい。尚、電子放出体は、通常、走査信号が入力される一方向に延びた第1電極群と、ビデオ信号が入力される他方向に延びた第2電極群との射影像が互いに重複する領域に配されている。

【0019】本発明の表示装置において、選択された第2電極群の本数に応じた表示画面の輝度の変動を防止するといった観点から、アノード電極ユニットはストライプ状に配置され、且つ、第2電極群と略平行な方向に延びていることが好適である。電子放出体が電界放出素子である場合であって、第1電極群がゲート電極である場合、第2電極群はカソード電極である。また、第1電極群がカソード電極である場合、第2電極群はゲート電極である。

【0020】本発明の表示用パネルあるいは表示装置において使用される基板は、少なくとも表面が絶縁性部材から構成されていればよく、ガラス基板、表面に絶縁膜が形成されたガラス基板、石英基板、表面に絶縁膜が形成された石英基板、表面に絶縁膜が形成された半導体基板を挙げることができる。背面パネルを構成する支持体も、基板と同様の材料から構成することができる。

【0021】アノード電極ユニットは、0.05～0.1 μ mの厚さのアルミニウム（Al）薄膜やニッケル（Ni）薄膜、銀（Ag）薄膜から構成することができる。給電線もアノード電極ユニットと同じ材料から構成することができるし、場合によっては、下記の第1電極群あるいは第2電極群の構成材料と同様の材料から構成

8

することもできる。アノード電極ユニットを形成するには、CVD法、スパッタリング法、蒸着法、イオンプレーティング法、電解めっき法、無電解めっき法、スクリーン印刷法、レーザーアブレーション法、ゾルゲル法等の公知の薄膜形成技術により、上述の構成材料から成る薄膜を単位蛍光体層上に形成する。このとき、薄膜を全面に形成した場合には、公知のパターニング技術を用いて薄膜をパターニングし、アノード電極ユニットを形成する。また、薄膜を形成する前の単位蛍光体層上に予めレジストパターンを形成しておけば、リフトオフ法によるアノード電極ユニットの形成が可能である。更に、アノード電極ユニットや給電線の形状に応じた開口部を有するマスクを用いて蒸着を行ったり、かかる開口部を有するスクリーンを用いてスクリーン印刷を行えば、成膜後のパターニングは不要となる。

【0022】第1電極群あるいは第2電極群の構成材料として、タングステン（W）、ニオブ（Nb）、タンタル（Ta）、モリブデン（Mo）、クロム（Cr）、アルミニウム（Al）、銅（Cu）、金（Au）、銀（Ag）、チタン（Ti）、ニッケル（Ni）等の金属、これらの金属元素を含む合金あるいは化合物（例えばTiN等の窒化物や、 WSi_2 、 $MoSi_2$ 、 $TiSi_2$ 、 $TaSi_2$ 等のシリサイド）、ITO（インジウム・錫酸化物）、酸化インジウム、酸化亜鉛等の導電性金属酸化物、あるいはシリコン（Si）等の半導体を例示することができる。これらの電極群を作製するには、CVD法、スパッタリング法、蒸着法、イオンプレーティング法、電解めっき法、無電解めっき法、スクリーン印刷法、レーザーアブレーション法、ゾルゲル法等の公知の薄膜形成技術により、上述の構成材料から成る薄膜を被成膜体上に形成する。このとき、薄膜を被成膜体の全面に形成した場合には、公知のパターニング技術を用いて薄膜をパターニングし、各電極群を形成する。また、薄膜を形成する前の被成膜体上に予めレジストパターンを形成しておけば、リフトオフ法による各電極群の形成が可能である。更に、第1電極群あるいは第2電極群の形状に応じた開口部を有するマスクを用いて蒸着を行ったり、かかる開口部を有するスクリーンを用いてスクリーン印刷を行えば、成膜後のパターニングは不要となる。

【0023】本発明においては、アノード電極が複数のアノード電極ユニットから構成されているので、例えば、背面パネル側においてビデオ信号が入力される電極の選択本数に依らず、電圧降下を一定範囲内に抑えることができる。しかも、少なくともアノード電極ユニットの縁部が放電防止層によって被覆されているので、隣接するアノード電極ユニット間で放電が生じ難い。更に、アノード電極が複数のアノード電極ユニットから構成されているので、たとえ小規模な放電が発生しても、これを火花放電にまで成長させないように、アノード電

極ユニットとカソード電極との間の蓄積エネルギーを火花放電への成長を促さない程度の大きさにアノード電極ユニットを抑えることができ、即ち、アノード電極ユニットとカソード電極との間の静電容量を低減することができ、火花放電を効果的に防止することが可能となる。

【0024】

【発明の実施の形態】以下、図面を参照して、発明の実施の形態（実施の形態と略称する）に基づき本発明を説明する。

【0025】（実施の形態1）実施の形態1の表示パネル（以下、アノードパネルAPと呼ぶ）の模式的な一

部断面図を図1の（A）～（D）、図2の（A）～（D）に示し、アノード電極ユニットの模式的な配置図を図3の（A）、（B）及び図4に示す。尚、図3の（A）、（B）及び図4においては、放電防止層の図示を省略している。

【0026】アノードパネルAPは、基板20と、基板20上に形成され、真空空間中から飛来した電子によって発光する複数の単位蛍光体層21と、電子を単位蛍光体層に向かって誘導するためのアノード電極と、放電防止層24から成る。そして、アノード電極は、複数のアノード電極ユニット23から構成されている。また、各アノード電極ユニット23は、所定数の単位蛍光体層21上に形成され、放電防止層24は、少なくともアノード電極ユニット23の縁部を被覆している。

【0027】実施の形態1のアノードパネルAPにおいては、単位蛍光体層21は、赤色単位蛍光体層、緑色単位蛍光体層、青色単位蛍光体層から構成されている。図3の（A）及び（B）に示す例においては、赤色単位蛍光体層、緑色単位蛍光体層、青色単位蛍光体層のそれぞれは、基板20上にストライプ状に集合した形態にて配列されており、赤色ストライプ状蛍光体層群R、緑色ストライプ状蛍光体層群G及び青色ストライプ状蛍光体層群Bを構成する。また、図4に示す例においては、赤色単位蛍光体層、緑色単位蛍光体層、青色単位蛍光体層のそれぞれは、基板20上にドットマトリックス状に配列されている。単位蛍光体層21の隙間は、コントラスト向上を目的としたブラックマトリックス22で埋め込まれている。

【0028】実施の形態1のアノードパネルAPにおいて、アノード電極ユニット23は、複数の単位蛍光体層上に形成されている。尚、アノード電極ユニット23は、1つの単位蛍光体層上に形成されていてもよい。

【0029】図3の（A）に示す例（図1の（A）～（D）の模式的な一部断面図も参照）においては、アノード電極ユニット23は、赤色ストライプ状蛍光体層群R、緑色ストライプ状蛍光体層群G、青色ストライプ状蛍光体層群Bのそれぞれの上に形成されている。また、図3の（B）に示す例（図2の（A）～（D）の模式的な一部断面図も参照）においては、アノード電極ユニッ

ト23は、1組の赤色ストライプ状蛍光体層群、緑色ストライプ状蛍光体層群、青色ストライプ状蛍光体層群（図3の（B）においては「RGB」で示す）の上に形成されている。尚、赤色ストライプ状蛍光体層群、緑色ストライプ状蛍光体層群及び青色ストライプ状蛍光体層群の組（RGB）の複数を覆うようにアノード電極ユニット23が形成されていてもよい。図4に示す例においては、赤色単位蛍光体層、緑色単位蛍光体層、青色単位蛍光体層のそれぞれが基板上にドットマトリックス状に配列されており、赤色単位蛍光体層、緑色単位蛍光体層及び青色単位蛍光体層の集合（1ピクセルに相当し、図4では「RGB」で示す）上にアノード電極ユニット23が形成されている。尚、複数のピクセルに相当する単位蛍光体層の集合の上にアノード電極ユニット23が形成されていてもよい。

【0030】図1の（A）及び（B）、並びに、図2の（A）及び（B）に示す例においては、放電防止層24は、アノード電極ユニット23の縁部を被覆している。ここで、図1の（A）及び図2の（A）に示す例においては、放電防止層24はアノード電極ユニット23の一部分を被覆しており（即ち、縁部の上にまで延在しており）、図1の（B）及び図2の（B）に示す例においては、各放電防止層24は各アノード電極ユニット23の全体を被覆している。図1の（C）及び図2の（C）に示す例においては、放電防止層24は、隣接するアノード電極ユニット23の隙間の隙間を埋めており、アノード電極ユニット23の縁部の上にまで延在している。図1の（D）及び図2の（D）に示す例においては、放電防止層24は、アノード電極の全面に形成されている。図1の（C）及び図2の（C）、並びに、図1の（D）及び図2の（D）に示す例においては、隣接するアノード電極ユニット23の間における放電防止層23の抵抗値を1kΩとした。

【0031】実施の形態1においては、アノード電極ユニット23は厚さ約0.07μmのアルミニウム薄膜から構成され、放電防止層24は厚さ約10nmの酸化クロム（CrOx）（体積抵抗率0.02Ω・m）から構成されている。尚、アノード電極ユニット23及び放電防止層24の厚さがこの程度の厚さであれば、アノード電極ユニット23及び放電防止層24を電子は容易に通過することができる。

【0032】尚、単位蛍光体層21が配列されている領域が表示装置としての実用上の機能を果たす有効領域であり、アノード電極ユニット23の形成領域はこの有効領域にはば一致している。有効領域の周囲は、周辺回路の収容や表示画面の機械的支持等、有効領域の機能を支援する無効領域である。アノード電極ユニット23を例えば5キロボルトの加速電源（図6の加速電源32を参照）に接続するための給電線25（図3及び図4参照）が、基板20上に設けられている。尚、図3及び図4に

において、給電線25を明確化するために、給電線25に斜線を付した。また、加速電源32とアノード電極ユニット23との間には、通常、過電流や放電を防止するための抵抗部材(例えば、抵抗値100MΩの抵抗器)が配設されている。この抵抗部材は、基板外に配設されている。

【0033】表示用パネル(アノードパネルAP)の製造方法の一例を、以下、図5を参照して説明する。先ず、発光性結晶粒子組成物を調製する。そのために、例えば、純水に分散剤を分散させ、ホモミキサーを用いて3000rpmにて1分間、攪拌を行う。次に、発光性結晶粒子を分散剤が分散した純水中に投入し、ホモミキサーを用いて5000rpmにて5分間、攪拌を行う。その後、例えば、ポリビニルアルコール及び重クロム酸アンモニウムを添加して、十分に攪拌し、濾過する。

【0034】アノードパネルAPの製造においては、例えばガラスから成る基板20上の全面に感光性被膜40を形成(塗布)する。そして、露光光源(図示せず)から射出され、マスク43に設けられた開口44を通過した露光光によって、基板20上に形成された感光性被膜40を露光して感光領域41を形成する(図5の(A)参照)。その後、感光性被膜40を現像して選択的に除去し、感光性被膜の残部(露光、現像後の感光性被膜)42を基板20上に残す(図5の(B)参照)。次に、全面にカーボン剤(カーボンスラリー)を塗布し、乾燥、焼成した後、リフトオフ法にて感光性被膜の残部42及びその上のカーボン剤を除去することによって、露出した基板20上にカーボン剤から成るブラックマトリックス22とを形成し、併せて、感光性被膜の残部42を除去する(図5の(C)参照)。その後、露出した基板20上に、赤、緑、青の各単位蛍光体層21を形成する(図5の(D)参照)。具体的には、各発光性結晶粒子(蛍光体粒子)から調製された発光性結晶粒子組成物(蛍光体スラリー)を全面に塗布し、露光、現像し、次いで、緑色の感光性の発光性結晶粒子組成物(蛍光体スラリー)を全面に塗布し、露光、現像し、更に、青色の感光性の発光性結晶粒子組成物(蛍光体スラリー)を全面に塗布し、露光、現像すればよい。次いで、単位蛍光体層21及びブラックマトリックス22上にスパッタリング法にて厚さ約0.07μmのアルミニウム薄膜を成膜した後、パターンニングすることによって、アノード電極ユニット23を得ることができる。その後、スパッタリング法にてCrOxから成る放電防止層24を、例えば全面に成膜する。こうして、アノードパネルAPを得ることができる。尚、スクリーン印刷法等により各単位蛍光体層21を形成することもできる。

【0035】実施の形態1の表示装置(具体的には、冷陰極電界電子放出表示装置)の模式的な一部端面図を図6に示す。また、表示用パネル(アノードパネルAP)

及び背面パネル(カソードパネルCP)の模式的な斜視図を、図7に示す。この表示装置は、図1~図4にて説明した構造を有する表示用パネル(アノードパネルAP)と、複数の電子放出体を有する背面パネル(カソードパネルCPと呼ぶ)とが真空空間を挟んで対向配置されて成る。アノードパネルAPとカソードパネルCPとは、各々の周縁部において図示しない枠体を介して互いに接着され、両パネルAP、CP間の閉鎖空間が真空空間とされている。カソードパネルCPは、電子放出体として冷陰極電界電子放出素子(以下、電界放出素子と称する)を備えている。図6では、電界放出素子の一例として、円錐形の電子放出部15を有する、所謂スピント(Spindt)型電界放出素子を示す。スピント型電界放出素子は、支持体10上に形成されたカソード電極11と、カソード電極11及び支持体10上に形成された層間絶縁層12と、層間絶縁層12上に形成されたゲート電極13と、ゲート電極13及び層間絶縁層12に設けられた開口部14内に形成された円錐形の電子放出部15から構成されている。通常、多数の電子放出部15が、単位蛍光体層21の1つに対応付けられている。

【0036】電子放出部15には、カソード電極駆動回路30からカソード電極11(第2電極群)を通じて相対的に負電圧(ビデオ信号)が印加され、ゲート電極13(第1電極群)にはゲート電極駆動回路31から相対的に正電圧(走査信号)が印加される。これらの電圧印加によって生じた電界に応じ、電子放出部15の先端から電子が、量子トンネル効果に基づき、放出される。尚、上述とは逆に、走査信号がカソード電極11に入力され、ビデオ信号がゲート電極13に入力される場合もある。

【0037】図8の(A)に、アノードパネルAPの模式的な平面図を示す。このアノードパネルAPにおいて、アノード電極ユニット23は、複数の単位蛍光体層から構成されたストライプ状蛍光体層群に対応してストライプ状に配置され、給電線25を介して加速電源(アノード電極駆動回路)32に接続されている。尚、図8の(A)では、明確化のために、アノード電極ユニット23にハッチングを施し、放電防止層24の図示を省略した。図示したアノード電極ユニット23は16本であるが、この本数は例示に過ぎない。アノードパネルAPの縁部において、給電線25の末端には図示しない接続端子が設けられ、個々の給電線25は接続端子を通じて加速電源32に接続されている。このようにアノード電極を分割した構成を有するので、静電容量の低減効果を得ることができる。各給電線25を介して、加速電源32に内蔵された電源から例えば5キロボルトの正電圧が各アノード電極ユニット23に印加される。

【0038】図8の(B)には、上記のアノードパネルAPと真空空間を挟んで対向配置される、複数の電子放出体を有するカソードパネルCPの模式的な平面図を示

す。電子放出体は、走査信号が入力される一方向に延びた第1電極群（具体的には複数のゲート電極13）と、ビデオ信号が入力される他方向に延びた第2電極群（具体的には複数のカソード電極11）との射影像が互いに重複する領域（即ち、重複領域）に配されている。走査信号はゲート電極駆動回路31から入力され、ビデオ信号はカソード電極駆動回路30から入力される。図8の（A）に示したアノード電極ユニット23は、第2電極群、即ち複数のカソード電極11と略平行な方向に延びて

10 いる。ここでは、アノード電極ユニット23の本数とカソード電極11の本数を同じとしたが、複数本のカソード電極11と1本のアノード電極ユニット23とが対応していてもよい。かかる構成においては、第1電極群を構成する各電極上に位置する重複領域の中、所望の重複領域から実質的に同時に電子が放出される。

【0039】図8の（B）においては、明確化のために、非選択状態のカソード電極11（カソード電極駆動回路30より+50ボルトの電圧を印加）を薄いハッチングで表し、選択状態のカソード電極11（同じく0ボルトの電圧を印加）を濃いハッチングで表す。選択状態のカソード電極11に印加されるビデオ信号は、階調に応じて0ボルト以上、+50ボルト未満の値をとり得る（中間階調）が、ここでは簡単のために最大輝度（フル階調）が得られる0ボルトとして考える。一方、ゲート電極13に関しては、非選択状態（ゲート電極駆動回路31より0ボルトの電圧を印加）を白抜きで表示し、選択状態（同じく+50ボルトの電圧を印加）をハッチングで表す。カソード電極11とゲート電極13の射影像が重なる領域（重複領域）は、単色表示装置では1画素、カラー表示装置では1サブピクセルに相当し、通常は1つの重複領域に、複数の電界放出素子が配され、更に、単位蛍光体層が配されている。選択されたカソード電極11と選択されたゲート電極13との重複領域は、選択画素（又は選択サブピクセル）であり、図中では白丸で表示する。ゲート電極13は上から下へ順に第m行、カソード電極11とアノード電極ユニット23は左から右へ順に第n列と称することにする。

【0040】いま、図8の（B）に示すように、第2行のゲート電極13の選択に対して、例えば第2列、第6列、第9列、第11列及び第14列の5本のカソード電極11が選択され、これらのカソード電極11の各々と対面する第2列、第6列、第9列、第11列及び第14列の5本のアノード電極ユニット23の各々からフル階調時に1 μ Aの電流が流れるとすると、電圧降下は1 μ A \times 100M Ω =0.1キロボルトとなる。即ち、どの列のカソード電極11とアノード電極ユニット23との間においても、加速電圧は5-0.1=4.9キロボルトとなる。中間階調時には電流が1 μ Aより少ないので、電圧降下も0.1キロボルトより小さくなる。いずれにしても、アノード電極が複数のアノード電極ユニッ

ト23に分割されたことにより、選択されたカソード電極11の本数に依らず、電圧降下が常に一定範囲内（上記の例では0.1キロボルト）でしか起こり得なくなり、これによって表示画面の輝度が安定化する。しかも、放電防止層24が、少なくともアノード電極ユニット23の縁部を被覆しているので、隣接するアノード電極ユニット23の間での放電の発生を抑制することができる。尚、上述した例とは逆に、カソード電極11に走査信号、ゲート電極13にビデオ信号をそれぞれ入力する場合には、アノード電極ユニット23をゲート電極13と略平行に配置すればよい。

【0041】（実施の形態2）実施の形態2においては、電子放出体を構成する各種の電界放出素子について説明する。

【0042】電界放出素子は、以下の3つの範疇に分類することができる。即ち、第1の構造の電界放出素子は、（イ）支持体と、（ロ）支持体上に設けられたストライプ状のカソード電極と、（ハ）支持体及びカソード電極上に形成された絶縁層と、（ニ）絶縁層上に設けられたストライプ状のゲート電極と、（ホ）ゲート電極を貫通した開口部、及び、絶縁層を貫通し、開口部と連通した孔部と、（ヘ）孔部の底部に位置するカソード電極上に設けられた電子放出部、から成り、孔部の底部に露出した電子放出部から電子が放出される構造を有する。

【0043】このような第1の構造を有する電界放出素子として、スピント型（円錐形の電子放出部が、孔部の底部に位置するカソード電極上に設けられた電界放出素子）、クラウン型（王冠状の電子放出部が、孔部の底部に位置するカソード電極上に設けられた電界放出素子）、扁平型（略平面の電子放出部が、孔部の底部に位置するカソード電極上に設けられた電界放出素子）を挙げることができる。

【0044】第2の構造の電界放出素子は、（イ）支持体と、（ロ）支持体上に設けられたストライプ状のカソード電極と、（ハ）支持体及びカソード電極上に形成された絶縁層と、（ニ）絶縁層上に設けられたストライプ状のゲート電極と、（ホ）ゲート電極を貫通した開口部、及び、絶縁層を貫通し、開口部と連通し、底部にカソード電極が露出した孔部、から成り、孔部の底部に露出したカソード電極の部分が電子放出部に相当し、かかる孔部の底部に露出したカソード電極の部分から電子を放出する構造を有する。

【0045】このような第2の構造を有する電界放出素子として、平坦なカソード電極の表面から電子を放出する平面型電界放出素子、凹凸が形成されたカソード電極の表面の凸部から電子を放出するクレータ型電界放出素子を挙げることができる。

【0046】第3の構造の電界放出素子は、（イ）支持体と、（ロ）支持体の上方に設けられ、エッジ部を有するストライプ状のカソード電極と、（ハ）少なくともカ

ソード電極上に形成された絶縁層と、(ニ)絶縁層上に設けられたストライプ状のゲート電極と、(ホ)少なくとも、ゲート電極を貫通した開口部、及び、絶縁層を貫通し、開口部と連通した孔部、から成り、孔部の底部若しくは側壁に露出したカソード電極のエッジ部が電子放出部に相当し、孔部の底部若しくは側壁に露出したカソード電極のエッジ部から電子を放出する構造を有する。このような構造を有する電界放出素子はエッジ型電界放出素子とも呼ばれる。

【0047】スピント型電界放出素子にあつては、電子放出部を構成する材料として、タングステン、タングステン合金、モリブデン、モリブデン合金、チタン、チタン合金、ニオブ、ニオブ合金、タンタル、タンタル合金、クロム、クロム合金、及び、不純物を含有するシリコン(ポリシリコンやアモルファスシリコン)から成る群から選択された少なくとも1種類の材料を挙げることができる。スピント型電界放出素子の電子放出部は、例えば、蒸着法やスパッタリング法、CVD法によって形成することができる。

【0048】クラウン型電界放出素子にあつては、電子放出部を構成する材料として、導電性粒子、あるいは、導電性粒子とバインダの組合せを挙げることができる。導電性粒子として、黒鉛等のカーボン系材料；タングステン(W)、ニオブ(Nb)、タンタル(Ta)、チタン(Ti)、モリブデン(Mo)、クロム(Cr)等の高融点金属；あるいはITO(インジウム・錫酸化物)等の透明導電材料を挙げることができる。バインダとして、例えば水ガラスといったガラスや汎用樹脂を使用することができる。汎用樹脂として、塩化ビニル系樹脂、ポリオレフィン系樹脂、ポリアミド系樹脂、セルロースエステル系樹脂、フッ素系樹脂等の熱可塑性樹脂や、エポキシ系樹脂、アクリル系樹脂、ポリエステル系樹脂等の熱硬化性樹脂を例示することができる。電子放出効率の向上のためには、導電性粒子の粒径が電子放出部の寸法に比べて十分に小さいことが好ましい。導電性粒子の形状は、球形、多面体、板状、針状、柱状、不定形等、特に限定されないが、導電性粒子の露出部が鋭い突起となり得るような形状であることが好ましい。寸法や形状の異なる導電性粒子を混合して使用してもよい。クラウン型電界放出素子の電子放出部は、例えば、リフトオフ法と組み合わせた塗布法、蒸着法、スパッタリング法によって形成することができる。

【0049】扁平型電界放出素子にあつては、あるいは又、電子放出部を構成する材料として、カソード電極を構成する材料よりも仕事関数 Φ の小さい材料から構成することが好ましく、どのような材料を選択するかは、カソード電極を構成する材料の仕事関数、ゲート電極とカソード電極との間の電位差、要求される放出電子電流密度の大きさ等に基づいて決定すればよい。電界放出素子におけるカソード電極を構成する代表的な材料として、

タングステン($\Phi=4.55\text{ eV}$)、ニオブ($\Phi=4.02\sim4.87\text{ eV}$)、モリブデン($\Phi=4.53\sim4.95\text{ eV}$)、アルミニウム($\Phi=4.28\text{ eV}$)、銅($\Phi=4.6\text{ eV}$)、タンタル($\Phi=4.3\text{ eV}$)、クロム($\Phi=4.5\text{ eV}$)、シリコン($\Phi=4.9\text{ eV}$)を例示することができる。電子放出部は、これらの材料よりも小さな仕事関数 Φ を有していることが好ましく、その値は概ね 3 eV 以下であることが好ましい。かかる材料として、炭素($\Phi<1\text{ eV}$)、セシウム($\Phi=2.14\text{ eV}$)、 LaB_6 ($\Phi=2.66\sim2.76\text{ eV}$)、 BaO ($\Phi=1.6\sim2.7\text{ eV}$)、 SrO ($\Phi=1.25\sim1.6\text{ eV}$)、 Y_2O_3 ($\Phi=2.0\text{ eV}$)、 CaO ($\Phi=1.6\sim1.86\text{ eV}$)、 BaS ($\Phi=2.05\text{ eV}$)、 TiN ($\Phi=2.92\text{ eV}$)、 ZrN ($\Phi=2.92\text{ eV}$)を例示することができる。仕事関数 Φ が 2 eV 以下である材料から電子放出部を構成することが、一層好ましい。尚、電子放出部を構成する材料は、必ずしも導電性を備えている必要はない。

【0050】特に好ましい電子放出部の構成材料として、炭素、より具体的にはダイヤモンド、中でもアモルファスダイヤモンドを挙げることができる。電子放出部をアモルファスダイヤモンドから構成する場合、 $5\times 10^7\text{ V/m}$ 以下の電界強度にて、表示装置に必要な放出電子電流密度を得ることができる。また、アモルファスダイヤモンドは電気抵抗体であるため、各電子放出部から得られる放出電子電流を均一化することができ、よって、表示装置に組み込まれた場合の輝度ばらつきの抑制が可能となる。更に、アモルファスダイヤモンドは、表示装置内の残留ガスのイオンによるスパッタ作用に対して極めて高い耐性を有するので、電界放出素子の長寿命化を図ることができる。

【0051】あるいは又、電子放出部を構成する材料として、かかる材料の2次電子利得 δ がカソード電極を構成する導電性材料の2次電子利得 δ よりも大きくなるような材料から適宜選択してもよい。即ち、銀(Ag)、アルミニウム(Al)、金(Au)、コバルト(Co)、銅(Cu)、モリブデン(Mo)、ニオブ(Nb)、ニッケル(Ni)、白金(Pt)、タンタル(Ta)、タングステン(W)、ジルコニウム(Zr)等の金属；シリコン(Si)、ゲルマニウム(Ge)等の半導体；炭素やダイヤモンド等の無機単体；及び酸化アルミニウム(Al_2O_3)、酸化バリウム(BaO)、酸化ベリリウム(BeO)、酸化カルシウム(CaO)、酸化マグネシウム(MgO)、酸化錫(SnO_2)、フッ化バリウム(BaF_2)、フッ化カルシウム(CaF_2)等の化合物の中から、適宜選択することができる。尚、電子放出部を構成する材料は、必ずしも導電性を備えている必要はない。

【0052】第2の構造を有する電界放出素子(平面型電界放出素子あるいはクレータ型電界放出素子)、若し

17

くは第3の構造を有する電界放出素子（エッジ型電界放出素子）にあつては、電子放出部に相当するカソード電極を構成する材料として、タングステン（W）やタンタル（Ta）、ニオブ（Nb）、チタン（Ti）、モリブデン（Mo）、クロム（Cr）、アルミニウム（Al）、銅（Cu）、金（Au）、銀（Ag）等の金属；これらの合金や化合物（例えばTiN等の窒化物や、WSi₂、MoSi₂、TiSi₂、TaSi₂等のシリサイド）；シリコン（Si）等の半導体；あるいはダイヤモンド等の炭素薄膜を例示することができる。かかるカソード電極の厚さは、およそ0.05～0.5μm、好ましくは0.1～0.3μmの範囲とすることが望ましいが、かかる範囲に限定するものではない。カソード電極の形成方法として、例えば電子ビーム蒸着法や熱フィラメント蒸着法といった蒸着法、スパッタリング法、CVD法やイオンプレーティング法とエッチング法との組合せ、スクリーン印刷法、メッキ法等を挙げることができる。スクリーン印刷法やメッキ法によれば、直接、ストライプ状のカソード電極を形成することが可能である。

【0053】あるいは又、第2の構造（平面型電界放出素子あるいはクレタ型電界放出素子）、第3の構造を有する電界放出素子（エッジ型電界放出素子）、あるいは、扁平型電界放出素子から成る第1の構造を有する電界放出素子にあつては、カソード電極や電子放出部を、導電性微粒子を分散させた導電性ペーストを用いて形成することもできる。導電性微粒子としては、グラファイト粉末；酸化バリウム粉末、酸化ストロンチウム粉末、金属粉末の少なくとも一種を混合したグラファイト粉末；窒素、リン、ホウ素、トリアゾール等の不純物を含むダイヤモンド粒子又はダイヤモンドライク・カーボン粉末；カーボン・ナノ・チューブ粉末；（Sr, Ba, Ca）CO₃粉末；シリコン・カーバイド粉末を例示することができる。特に、導電性微粒子としてグラファイト粉末を選択することが、閾値電界の低減や電子放出部の耐久性の観点から好ましい。導電性微粒子の形状を、球状、鱗片状の他、任意の定形形状や不定形形状とすることができる。また、導電性微粒子の粒径は、カソード電極や電子放出部の厚さやパターン幅以下であればよい。粒径が小さい方が、単位面積当たりの放出電子数を増大させることができるが、あまり小さ過ぎるとカソード電極や電子放出部の導電性が劣化する虞がある。よって、好ましい粒径の範囲はおよそ0.01～4.0μmである。かかる導電性微粒子をガラス成分その他の適当なバインダと混合して導電性ペーストを調製し、この導電性ペーストを用いてスクリーン印刷法により所望のパターンを形成した後、パターンを焼成することによって電子放出部として機能するカソード電極や電子放出部を形成することができる。あるいは、スピンコーティング法とエッチング技術の組み合わせにより、電子放出部と

18

して機能するカソード電極や電子放出部を形成することもできる。

【0054】また、スピント型電界放出素子やクラウン型電界放出素子から成る第1の構造を有する電界放出素子にあつては、カソード電極を構成する材料として、タングステン（W）、ニオブ（Nb）、タンタル（Ta）、モリブデン（Mo）、クロム（Cr）、アルミニウム（Al）、銅（Cu）等の金属；これらの金属元素を含む合金あるいは化合物（例えばTiN等の窒化物や、WSi₂、MoSi₂、TiSi₂、TaSi₂等のシリサイド）；シリコン（Si）等の半導体；ITO（インジウム・錫酸化物）を例示することができる。カソード電極の形成方法として、例えば電子ビーム蒸着法や熱フィラメント蒸着法といった蒸着法、スパッタリング法、CVD法やイオンプレーティング法とエッチング法との組合せ、スクリーン印刷法、メッキ法等を挙げることができる。スクリーン印刷法やメッキ法によれば、直接、ストライプ状のカソード電極を形成することが可能である。

【0055】第1の構造～第3の構造を有する電界放出素子において、ゲート電極及び絶縁層に設けられた1つの開口部及び孔部内に1つの電子放出部が存在してもよいし、ゲート電極及び絶縁層に設けられた1つの開口部及び孔部内に複数の電子放出部が存在してもよいし、ゲート電極に複数の開口部を設け、かかる開口部と連通する1つの孔部を絶縁層に設け、絶縁層に設けられた1つの孔部内に1又は複数の電子放出部が存在してもよい。

【0056】第1の構造～第3の構造を有する電界放出素子において、カソード電極と電子放出部との間に抵抗体層を設けてもよい。あるいは又、カソード電極の表面あるいはそのエッジ部が電子放出部に相当している場合、カソード電極を導電材料層、抵抗体層、電子放出部に相当する電子放出層の3層構成としてもよい。抵抗体層を設けることによって、電界放出素子の動作安定化、電子放出特性の均一化を図ることができる。抵抗体層を構成する材料として、シリコンカーバイド（SiC）といったカーボン系材料、SiN、アモルファスシリコン等の半導体材料、酸化ルテニウム（RuO₂）、酸化タンタル、窒化タンタル等の高融点金属酸化物を例示することができる。抵抗体層の形成方法として、スパッタリング法や、CVD法やスクリーン印刷法を例示することができる。抵抗値は、概ね1×10⁵～1×10⁷Ω、好ましくは数MΩとすればよい。

【0057】各種の電界放出素子におけるゲート電極を構成する導電性材料として、タングステン（W）、ニオブ（Nb）、タンタル（Ta）、モリブデン（Mo）、クロム（Cr）、アルミニウム（Al）、銅（Cu）等の金属；これらの金属元素を含む合金あるいは化合物（例えばTiN等の窒化物や、WSi₂、MoSi₂、TiSi₂、TaSi₂等のシリサイド）；あるいはシリコ

ン(Si)等の半導体やダイヤモンド、カーボン、ITO(インジウム・錫酸化物)を例示することができる。

【0058】絶縁層の構成材料として、SiO₂、SiN、SiON、SOG(スピノングラス)を、単独あるいは適宜組み合わせ使用することができる。絶縁層の形成には、CVD法、塗布法、スパッタリング法、スクリーン印刷法等の公知のプロセスが利用できる。

【0059】以下、各種の電界放出素子及びその製造方法を説明する。

【0060】[スピント型電界放出素子] 図10の

(C)に示す電界放出素子は、円錐形の電子放出部15を有する所謂スピント型電界放出素子である。スピント型電界放出素子は、支持体10と、支持体10上に設けられたストライプ状のカソード電極11と、支持体10及びカソード電極11上に形成された絶縁層12と、絶縁層12上に設けられたストライプ状のゲート電極13と、ゲート電極13を貫通した開口部、及び、絶縁層12を貫通し、開口部と連通した孔部と、孔部の底部に位置するカソード電極11上に設けられた円錐状の電子放出部15から成り、孔部の底部に露出した電子放出部15から電子が放出される構造を有する。このスピント型電界放出素子の製造方法の概要を、以下、支持体等の模式的な一部端面図である図9及び図10を参照して説明する。

【0061】[工程-A1] 先ず、例えばガラスから成る支持体10上にニオブ(Nb)から成るストライプ状のカソード電極11を形成した後、全面にSiO₂から成る絶縁層12を形成し、更に、ストライプ状のゲート電極13を絶縁層12上に形成する。ゲート電極13の形成は、例えば、スパッタリング法、リソグラフィ技術及びドライエッチング技術に基づき行うことができる。

【0062】[工程-A2] 次に、ゲート電極13及び絶縁層12に、エッチング用マスクとして機能するレジスト層16をリソグラフィ技術によって形成する(図9の(A)参照)。その後、RIE(反応性イオン・エッチング)法にてゲート電極13に開口部を形成し、更に、絶縁層12に孔部を形成する。尚、以下の説明において、特に断りのない限り、開口部及び孔部を総称して開口部14と表現する。開口部14(孔部)の底部にカソード電極11が露出している。その後、レジスト層16をアッシング技術によって除去する。こうして、図9の(B)に示す構造を得ることができる。

【0063】[工程-A3] 次に、開口部14の底部に露出したカソード電極11上に、電子放出部15を形成する。具体的には、先ず、アルミニウムを斜め蒸着することにより、剥離層17を形成する。このとき、支持体10の法線に対する蒸着粒子の入射角を十分に大きく選択することにより、開口部14の底部にアルミニウムを殆ど堆積させることなく、ゲート電極13及び絶縁層12上に剥離層17を形成することができる。この剥離層

17は、開口部14の開口端部から底状に張り出しており、これにより開口部14が実質的に縮径される(図9の(C)参照)。

【0064】[工程-A4] 次に、全面に例えばモリブデン(Mo)を垂直蒸着する。このとき、図10の

(A)に示すように、剥離層17上でオーバーハング形状を有するモリブデンから成る導電材料層18が成長するに伴い、開口部14の実質的な直径が次第に縮小されるので、開口部14の底部において堆積に寄与する蒸着粒子は、次第に開口部14の中央付近を通過するものに限られるようになる。その結果、開口部14の底部には円錐形の堆積物が形成され、この円錐形のモリブデンから成る堆積物が電子放出部15となる。

【0065】[工程-A5] その後、電気化学的プロセス及び湿式プロセスによって剥離層17を絶縁層12及びゲート電極13の表面から剥離し、絶縁層12及びゲート電極13の上方の導電材料層18を選択的に除去する。その結果、図10の(B)に示すように、開口部14の底部に位置するカソード電極11上に円錐形の電子放出部15を残すことができる。その後、絶縁層12を等方的にエッチングし、ゲート電極13の開口部端部を露出させることが好ましい(図10の(C)参照)。等方的なエッチングは、ケミカルドライエッチングのようにラジカルを主エッチング種として利用するドライエッチング、あるいは、エッチング液を利用するウェットエッチングにより行うことができる。エッチング液として、例えば49%フッ酸水溶液と純水の1:100(容積比)混合液を用いることができる。

【0066】[クラウン型電界放出素子] クラウン型電界放出素子から成る電界放出素子の模式的な一部端面図を図12の(A)に示し、一部を切り欠いた模式的な斜視図を図12の(B)に示す。クラウン型電界放出素子は、支持体10上に形成されたカソード電極11と、支持体10及びカソード電極11上に形成された絶縁層12と、絶縁層12上に形成されたゲート電極13と、ゲート電極13及び絶縁層12を貫通した開口部14と、開口部14(孔部)の底部に位置するカソード電極11上に設けられたクラウン(王冠)型の電子放出部15Aから構成されている。

【0067】以下、クラウン型電界放出素子の製造方法を、支持体等の模式的な一部端面図等である図11~図12を参照して説明する。

【0068】[工程-B1] 先ず、例えばガラスから成る支持体10上に、ストライプ状のカソード電極11を形成する。尚、カソード電極11は、図面の紙面左右方向に延びている。ストライプ状のカソード電極11は、例えば支持体10上にITO膜をスパッタリング法により約0.2μmの厚さに全面に互って成膜した後、ITO膜をパターニングすることによって形成することができる。カソード電極11は、単一材料層であってもよ

21

く、複数の材料層を積層することによって構成することもできる。例えば、後の工程で形成される各電子放出部の電子放出特性のばらつきを抑制するために、カソード電極11の表層部を残部よりも電気抵抗率の高い材料で構成することができる。尚、このようなカソード電極の構成を、他の電界放出素子のカソード電極に適用することができる。次に、支持体10及びカソード電極11上に絶縁層12を形成する。ここでは、一例としてガラスペーストを全面に約 $3\mu\text{m}$ の厚さにスクリーン印刷する。次に、絶縁層12に含まれる水分や溶剤を除去し、

且つ、絶縁層12を平坦化するために、例えば 100°C 、10分間の仮焼成、及び 500°C 、20分間の本焼成といった2段階の焼成を行う。尚、上述のようなガラスペーストを用いたスクリーン印刷に替えて、例えばプラズマCVD法により SiO_2 膜を形成してもよい。

【0069】次に、絶縁層12上に、ストライプ状のゲート電極13を形成する。尚、ゲート電極13は、図面の紙面垂直方向に延びている。即ち、ゲート電極13の射影像の延びる方向は、ストライプ状のカソード電極11の射影像の延びる方向と 90° 度を成す。

【0070】[工程-B2]次に、[工程-A2]と同様に、ゲート電極13及び絶縁層12をRIE法に基づきエッチングし、ゲート電極13及び絶縁層12に開口部14を形成し、開口部14（孔部）の底部にカソード電極11を露出させる。開口部14の直径を約 $2\sim 50\mu\text{m}$ とする。

【0071】[工程-B3]次に、ゲート電極13上、絶縁層12上、及び開口部14の側壁面上に剥離層51を形成する（図11の（A）参照）。かかる剥離層51を形成するには、例えば、フォトレジスト材料をスピニング法により全面に塗布し、開口部14の底部の一部分のみを除去するようなパターンニングを行えばよい。この時点で、開口部14の実質的な直径は、約 $1\sim 20\mu\text{m}$ に縮径される。

【0072】[工程-B4]次に、図11の（B）に示すように、全面に組成物原料から成る導電性組成物層52を形成する。ここで使用する組成物原料は、例えば、導電性粒子として平均粒径約 $0.1\mu\text{m}$ の黒鉛粒子を60重量%、バインダとして4号の水ガラスを40重量%含む。この組成物原料を、例えば 1400rpm 、10秒間の条件で全面にスピニングコートする。開口部14内における導電性組成物層52の表面は、組成物原料の表面張力に起因して、開口部14の側壁面に沿って迫り上がり、開口部14の中央部に向かって窪む。その後、導電性組成物層52に含まれる水分を除去するための仮焼成を、例えば大気中、 400°C で30分間行う。

【0073】組成物原料において、バインダは、（1）それ自身が導電性粒子の分散媒であってもよいし、

（2）導電性粒子を被覆していてもよいし、（3）適当な溶媒に分散あるいは溶解されることによって、導電性

22

粒子の分散媒を構成してもよい。（3）のケースの典型例は水ガラスであり、日本工業規格（JIS）K1408に規定される1号乃至4号、又はこれらの同等品を使用することができる。1号乃至4号は、水ガラスの構成成分である酸化ナトリウム（ Na_2O ）1モルに対する酸化珪素（ SiO_2 ）のモル数（約 $2\sim 4$ モル）の違いに基づく4段階の等級であり、それぞれ粘度が大きく異なる。従って、リフトオフ・プロセスで水ガラスを使用する際には、水ガラスに分散させる導電性粒子の種類や含有量、剥離層51との親和性、開口部14のアスペクト比等の諸条件を考慮して、最適な等級の水ガラスを選択するか、又は、これらの等級と同等の水ガラスを調製して使用することが好ましい。

【0074】バインダは一般に導電性に劣るので、組成物原料中の導電性粒子の含有量に対してバインダの含有量が多過ぎると、形成される電子放出部15Aの電気抵抗値が上昇し、電子放出が円滑に行われなくなる虞がある。従って、例えば水ガラス中に導電性粒子としてカーボン系材料粒子を分散させて成る組成物原料を例にとると、組成物原料の全重量に占めるカーボン系材料粒子の割合は、電子放出部15Aの電気抵抗値、組成物原料の粘度、導電性粒子同士の接着性等の特性を考慮し、概ね30～95重量%の範囲に選択することが好ましい。カーボン系材料粒子の割合をかかる範囲内に選択することにより、形成される電子放出部15Aの電気抵抗値を十分に下げると共に、カーボン系材料粒子同士の接着性を良好に保つことが可能となる。但し、導電性粒子としてカーボン系材料粒子にアルミナ粒子を混合して用いた場合には、導電性粒子同士の接着性が低下する傾向があるので、アルミナ粒子の含有量に応じてカーボン系材料粒子の割合を高めることが好ましく、60重量%以上とすることが特に好ましい。尚、組成物原料には、導電性粒子の分散状態を安定化させるための分散剤や、pH調整剤、乾燥剤、硬化剤、防腐剤等の添加剤が含まれていてもよい。尚、導電性粒子を結合剤（バインダ）の被膜で覆った粉体を、適当な分散媒中に分散させて成る組成物原料を用いてもよい。

【0075】一例として、王冠状の電子放出部15Aの直径を概ね $1\sim 20\mu\text{m}$ とし、導電性粒子としてカーボン系材料粒子を使用した場合、カーボン系材料粒子の粒径は概ね $0.1\mu\text{m}\sim 1\mu\text{m}$ の範囲とすることが好ましい。カーボン系材料粒子の粒径をかかる範囲に選択することにより、王冠状の電子放出部15Aの縁部に十分に高い機械的強度が備わり、且つ、カソード電極11に対する電子放出部15Aの密着性が良好となる。

【0076】[工程-B5]次に、図11の（C）に示すように、剥離層51を除去する。剥離は、2重量%の水酸化ナトリウム水溶液中に、30秒間浸漬することにより行う。このとき、超音波振動を加えながら剥離を行ってもよい。これにより、剥離層51と共に剥離層51

23

上の導電性組成物層 52 の部分が除去され、開口部 14 (孔部) の底部に露出したカソード電極 11 上の導電性組成物層 52 の部分のみが残される。この残存した部分が電子放出部 15 A となる。電子放出部 15 A の形状は、表面が開口部 14 の中央部に向かって窪み、王冠状となる。〔工程-B5〕が終了した時点における状態を、図 12 に示す。図 12 の (B) は、電界放出素子の一部を示す模式的な斜視図であり、図 12 の (A) は図 12 の (B) の線 A-A に沿った模式的な一部端面図である。図 12 の (B) では、電子放出部 15 A の全体が見えるように、絶縁層 12 とゲート電極 13 との一部を切り欠いている。尚、1 つの電子放出領域には、5 ~ 100 個程度の電子放出部 15 A を設けることで十分である。尚、導電性粒子が電子放出部 15 A の表面に確実に露出するように、電子放出部 15 A の表面に露出したバインダをエッチングによって除去してもよい。

【0077】〔工程-B6〕次に、電子放出部 15 A の焼成を行う。焼成は、乾燥大気中、400 °C、30 分間の条件で行う。尚、焼成温度は、組成物原料に含まれるバインダの種類に応じて選択すればよい。例えば、バインダが水ガラスのような無機材料である場合には、無機材料を焼成し得る温度で熱処理を行えばよい。バインダが熱硬化性樹脂である場合には、熱硬化性樹脂を硬化し得る温度で熱処理を行えばよい。但し、導電性粒子同士の密着性を保つために、熱硬化性樹脂が過度に分解したり炭化する虞のない温度で熱処理を行うことが好適である。いずれのバインダを用いるにしても、熱処理温度は、ゲート電極やカソード電極、絶縁層に損傷や欠陥が生じない温度とする必要がある。熱処理雰囲気は、ゲート電極やカソード電極の電気抵抗率が酸化によって上昇したり、あるいはゲート電極やカソード電極に欠陥や損傷が生ずることがないように、不活性ガス雰囲気とすることが好ましい。尚、バインダとして熱可塑性樹脂を使用した場合には、熱処理を必要としない場合がある。

【0078】〔扁平型電界放出素子-1〕扁平型電界放出素子-1 から成る電界放出素子の模式的な一部断面図を、図 13 の (C) に示す。扁平型電界放出素子-1 は、例えばガラスから成る支持体 10 上に形成されたカソード電極 11、支持体 10 及びカソード電極 11 上に形成された絶縁層 12、絶縁層 12 上に形成されたゲート電極 13、ゲート電極 13 及び絶縁層 12 を貫通した開口部 14、並びに、開口部 14 (孔部) の底部に位置するカソード電極 11 上に設けられた扁平の電子放出部 15 B から成る。ここで、電子放出部 15 B は、図 13 の (C) の紙面垂直方向に延びたストライプ状のカソード電極 11 上に形成されている。また、ゲート電極 13 は、図 13 の (C) の紙面左右方向に延びている。カソード電極 11 及びゲート電極 13 はクロム (Cr) から成る。電子放出部 15 B は、具体的には、グラファイト粉末から成る薄層から構成されている。また、電界放出

24

素子の動作安定化、電子放出特性の均一化のために、カソード電極 11 と電子放出部 15 B との間に SiC から成る抵抗体層 60 が設けられている。図 13 の (C) に示した扁平型電界放出素子-1 においては、カソード電極 11 の表面の全域に互って、抵抗体層 60 及び電子放出部 15 B が形成されているが、このような構造に限定するものではなく、要は、少なくとも開口部 14 の底部に電子放出部 15 B が設けられていればよい。

【0079】以下、支持体等の模式的な一部断面図である図 13 を参照して、扁平型電界放出素子-1 の製造方法を説明する。

【0080】〔工程-C1〕まず、支持体 10 上に、クロム (Cr) から成るカソード電極用導電材料層をスパッタリング法にて形成した後、リソグラフィ技術及びドライエッチング技術に基づきカソード電極用導電材料層をパターンニングする。これによって、ストライプ状のカソード電極 11 を支持体 10 上に形成することができる (図 13 の (A) 参照)。尚、カソード電極 11 は、図 13 の紙面垂直方向に延びている。

【0081】〔工程-C2〕次に、カソード電極 11 上に、電子放出部 15 B を形成する。具体的には、まず、全面にスパッタリング法にて SiC から成る抵抗体層 60 を形成し、次いで、抵抗体層 60 の上にグラファイト粉末塗料から成る電子放出部 15 B をスピンコーティング法にて形成し、電子放出部 15 B を乾燥させる。その後、電子放出部 15 B 及び抵抗体層 60 を公知の方法に基づきパターンニングする (図 13 の (B) 参照)。電子放出部 15 B から電子が放出される。

【0082】〔工程-C3〕次に、全面に絶縁層 12 を形成する。具体的には、電子放出部 15 B 及び支持体 10 上に、例えば、スパッタリング法にて SiO₂ から成る絶縁層 12 を形成する。尚、絶縁層 12 を、ガラスペーストをスクリーン印刷する方法や、SiO₂ 層を CV D 法にて形成する方法に基づき形成することもできる。その後、ストライプ状のゲート電極 13 を絶縁層 12 上に形成する。

【0083】〔工程-C4〕次に、〔工程-A2〕と同様の方法に基づき、ゲート電極 13 及び絶縁層 12 に開口部 14 を形成し、開口部 14 (孔部) の底部に電子放出部 15 B を露出させる。その後、電子放出部 15 B 中の有機溶剤を除去するために、400 °C、30 分の熱処理を施す。その後、絶縁層 12 を等方的にエッチングし、ゲート電極 13 の開口部端部を露出させることが好ましい。こうして、図 13 の (C) に示した電界放出素子-1 を得ることができる。

【0084】〔扁平型電界放出素子-2〕扁平型電界放出素子-2 の模式的な一部断面図を、図 14 の (C) に示す。図 14 の (C) に示す扁平型電界放出素子-2 においては、電子放出部 15 B の構造が、図 13 の (C) に示した扁平型電界放出素子-1 と若干異なっている。

25

以下、支持体等の模式的な一部断面図である図14を参照して、かかる扁平型電界放出素子-2の製造方法を説明する。

【0085】[工程-D1] 先ず、支持体10上にカソード電極用導電材料層を形成する。具体的には、支持体10の全面にレジスト材料層（図示せず）を形成した後、カソード電極を形成すべき部分のレジスト材料層を除去する。その後、全面にクロム（Cr）から成るカソード電極用導電材料層をスパッタリング法にて形成する。更に、全面にスパッタリング法にてSiCから成る抵抗体層60を形成し、次いで、抵抗体層60の上にグラファイト粉末塗料層をスピンコーティング法にて形成し、グラファイト粉末塗料層を乾燥させる。その後、剥離液を用いてレジスト材料層を除去すると、レジスト材料層上に形成されたカソード電極用導電材料層、抵抗体層60及びグラファイト粉末塗料層も除去される。こうして、所謂リフトオフ法に基づき、カソード電極11、抵抗体層60及び電子放出部15B（電子放出層）が積層された構造を得ることができる（図14の（A）参照）。

【0086】[工程-D2] 次に、全面に絶縁層12を形成した後、絶縁層12上にストライプ状のゲート電極13を形成する（図14の（B）参照）。その後、[工程-A2]と同様の方法に基づき、ゲート電極13及び絶縁層12に開口部14を形成することによって、開口部14（孔部）の底部に電子放出部15Bを露出させる（図14の（C）参照）。その後、絶縁層12を等方的にエッチングし、ゲート電極13の開口部端部を露出させることが好ましい。開口部14の底部に露出したカソード電極11の表面に設けられた電子放出部15Bから電子が放出される。

【0087】[扁平型電界放出素子-3] 扁平型電界放出素子の別の変形例の模式的な一部端面図を、図16の（B）に示す。この扁平型電界放出素子-3においては、電子放出部15Cは、CVD法に基づき形成された炭素薄膜から構成されている。

【0088】電子放出部を炭素薄膜から構成することは、炭素（C）の仕事関数が低く、高い放出電子電流を達成することができるので、好ましい。炭素薄膜から電子を放出させるためには、炭素薄膜が適切な電界（例えば、10⁶ボルト/m程度の強度を有する電界）中に置かれた状態とすればよい。

【0089】ところで、レジスト材料をエッチング用マスクとして使用し、酸素ガスを用いてダイヤモンド薄膜のような炭素薄膜のプラズマエッチングを行った場合、エッチング反応系における反応副生成物として（CH_x）系あるいは（CF_x）系等の炭素系ポリマーが堆積性物質として生成する。一般に、プラズマエッチングにおいて堆積性物質がエッチング反応系に生成した場合、この堆積性物質はイオン入射確率の低いレジスト材料の

26

側壁面、あるいは被エッチング物の加工端面に堆積して所謂側壁保護膜を形成し、被エッチング物の異方性加工によって得られる形状の達成に寄与する。しかしながら、酸素ガスをエッチング用ガスとして使用した場合には、炭素系ポリマーから成る側壁保護膜は、生成しても、直ちに酸素ガスによって除去されてしまう。また、酸素ガスをエッチング用ガスとして使用した場合には、レジスト材料の消耗も激しい。これらの理由により、従来のダイヤモンド薄膜の酸素プラズマ加工においては、ダイヤモンド薄膜のマスクの寸法に対する寸法変換差が大きく、異方性加工も困難な場合が多い。

【0090】このような問題を解決するためには、例えば、カソード電極の表面に炭素薄膜選択成長領域を形成し、炭素薄膜選択成長領域上に炭素薄膜から成る電子放出部を形成する構成とすればよい。即ち、この扁平型電界放出素子-3の製造においては、支持体上にカソード電極を形成した後、カソード電極の表面に炭素薄膜選択成長領域を形成し、その後、炭素薄膜選択成長領域上に炭素薄膜（電子放出部に相当する）を形成する。尚、カソード電極の表面に炭素薄膜選択成長領域を形成する工程を、炭素薄膜選択成長領域形成工程と呼ぶ。

【0091】ここで、炭素薄膜選択成長領域は、表面に金属粒子が付着したカソード電極の部分、若しくは、表面に金属薄膜が形成されたカソード電極の部分であることが好ましい。尚、炭素薄膜選択成長領域における炭素薄膜の選択成長を一層確実なものとするために、炭素薄膜選択成長領域の表面には、硫黄（S）、ホウ素（B）又はリン（P）が付着していることが望ましく、これらの物質は一種の触媒としての作用を果たすと考えられ、これによって、炭素薄膜の選択成長性を一層向上させることができる。尚、炭素薄膜選択成長領域は、開口部の底部に位置するカソード電極の部分の表面に形成されていればよく、開口部の底部に位置するカソード電極の部分から開口部の底部以外のカソード電極の部分の表面に延在するように形成されていてもよい。また、炭素薄膜選択成長領域は、開口部の底部に位置するカソード電極の部分の表面の全面に形成されていても、部分的に形成されていてもよい。

【0092】炭素薄膜選択成長領域形成工程は、炭素薄膜選択成長領域を形成すべきカソード電極の部分の表面（以下、単にカソード電極の表面と呼ぶ場合がある）に、金属粒子を付着させ、若しくは、金属薄膜を形成する工程から成り、以て、表面に金属粒子が付着し、若しくは、表面に金属薄膜が形成されたカソード電極の部分から成る炭素薄膜選択成長領域を得ることが好ましい。また、この場合、炭素薄膜選択成長領域における炭素薄膜の選択成長を一層確実なものとするために、炭素薄膜選択成長領域の表面に、硫黄（S）、ホウ素（B）又はリン（P）を付着させることが望ましく、これによって、炭素薄膜の選択成長性を一層向上させることができ

る。炭素薄膜選択成長領域の表面に硫黄、ホウ素又はリンを付着させる方法としては、例えば、硫黄、ホウ素又はリンを含む化合物から成る化合物層を炭素薄膜選択成長領域の表面に形成し、次いで、例えば加熱処理を化合物層に施すことによって化合物層を構成する化合物を分解させ、炭素薄膜選択成長領域の表面に硫黄、ホウ素又はリンを残す方法を挙げることができる。硫黄を含む化合物としてチオナフテン、チオフテン、チオフエンを例示することができる。ホウ素を含む化合物として、トリフェニルボランを例示することができる。リンを含む化合物として、トリフェニルフォスフィンを例示することができる。

【0093】あるいは又、炭素薄膜選択成長領域における炭素薄膜の選択成長を一層確実なものとするために、カソード電極の表面に、金属粒子を付着させ、若しくは、金属薄膜を形成した後、金属粒子の表面若しくは金属薄膜の表面の金属酸化物（所謂、自然酸化膜）を除去することが望ましい。金属粒子の表面若しくは金属薄膜の表面の金属酸化物の除去を、例えば、水素ガス雰囲気におけるマイクロ波プラズマ法、トランス結合型プラズマ法、誘導結合型プラズマ法、電子サイクロトロン共鳴プラズマ法、RFプラズマ法等に基づくプラズマ還元処理、アルゴンガス雰囲気におけるスパッタ処理、若しくは、例えばフッ酸等の酸や塩基を用いた洗浄処理によって行うことが望ましい。尚、炭素薄膜選択成長領域の表面に硫黄、ホウ素又はリンを付着させる工程、あるいは又、金属粒子の表面若しくは金属薄膜の表面の金属酸化物を除去する工程を含む場合、絶縁層に開口部を設けた後、炭素薄膜選択成長領域上に炭素薄膜を形成する前にこれらの工程を実行することが好ましい。

【0094】炭素薄膜選択成長領域を得るためにカソード電極の表面に金属粒子を付着させる方法として、例えば、炭素薄膜選択成長領域を形成すべきカソード電極の領域以外の領域を適切な材料（例えば、マスク層）で被覆した状態で、溶媒と金属粒子から成る層を炭素薄膜選択成長領域を形成すべきカソード電極の部分の表面に形成した後、溶媒を除去し、金属粒子を残す方法を挙げることができる。あるいは又、カソード電極の表面に金属粒子を付着させる工程として、例えば、炭素薄膜選択成長領域を形成すべきカソード電極の領域以外の領域を適切な材料（例えば、マスク層）で被覆した状態で、金属粒子を構成する金属原子を含む金属化合物粒子をカソード電極の表面に付着させた後、金属化合物粒子を加熱することによって分解し、以て、表面に金属粒子が付着したカソード電極の部分から成る炭素薄膜選択成長領域を得る方法を挙げることができる。この場合、具体的には、溶媒と金属化合物粒子から成る層を炭素薄膜選択成長領域を形成すべきカソード電極の部分の表面に形成した後、溶媒を除去し、金属化合物粒子を残す方法を例示することができる。金属化合物粒子は、金属粒子を構成

する金属のハロゲン化合物（例えば、ヨウ化物、塩化物、臭化物等）、酸化物、水酸化物及び有機金属から成る群から選択された少なくとも1種類の材料から成ることが好ましい。尚、これらの方法においては、適切な段階で、炭素薄膜選択成長領域を形成すべきカソード電極の領域以外の領域を被覆した材料（例えば、マスク層）を除去する。

【0095】炭素薄膜選択成長領域を得るためにカソード電極の表面に金属薄膜を形成する方法として、例えば、炭素薄膜選択成長領域を形成すべきカソード電極の領域以外の領域を適切な材料で被覆した状態での、電解メッキ法、無電解メッキ法、MOCVD法を含むCVD法（化学的気相成長法）、物理的気相成長法（PVD法、Physical Vapor Deposition 法）等の公知の方法を挙げることができる。尚、物理的気相成長法として、

（a）電子ビーム加熱法、抵抗加熱法、フラッシュ蒸着等の各種真空蒸着法、（b）プラズマ蒸着法、（c）2極スパッタリング法、直流スパッタリング法、直流マグネトロンスパッタリング法、高周波スパッタリング法、マグネトロンスパッタリング法、イオンビームスパッタリング法、バイアススパッタリング法等の各種スパッタリング法、（d）DC（direct current）法、RF法、多陰極法、活性化反応法、電界蒸着法、高周波イオンプレーティング法、反応性イオンプレーティング法等の各種イオンプレーティング法を挙げることができる。

【0096】ここで、金属粒子あるいは金属薄膜は、モリブデン（Mo）、ニッケル（Ni）、チタン（Ti）、クロム（Cr）、コバルト（Co）、タングステン（W）、ジルコニウム（Zr）、タンタル（Ta）、鉄（Fe）、銅（Cu）、白金（Pt）及び亜鉛（Zn）から成る群から選択された少なくとも1種類の金属から構成されていることが好ましい。

【0097】炭素薄膜として、グラファイト薄膜、アモルファスカーボン薄膜、ダイヤモンドライクカーボン薄膜、あるいはフラーレン薄膜を挙げることができる。炭素薄膜の形成方法として、マイクロ波プラズマ法、トランス結合型プラズマ法、誘導結合型プラズマ法、電子サイクロトロン共鳴プラズマ法、RFプラズマ法等に基づくCVD法、平行平板型CVD装置を用いたCVD法を例示することができる。炭素薄膜の形態には、薄膜状はもとより、炭素のウィスカー、炭素のナノチューブ（中空及び中実を含む）が包含される。

【0098】尚、カソード電極の構造としては、導電材料層の1層構成とすることもできるし、下層導電材料層、下層導電材料層上に形成された抵抗体層、抵抗体層上に形成された上層導電材料層の3層構成とすることもできる。後者の場合、上層導電材料層の表面に炭素薄膜選択成長領域を形成する。このように、抵抗体層を設けることによって、電子放出部における電子放出特性の均一化を図ることができる。

29

【0099】以下、支持体等の模式的な一部端面図である図15及び図16を参照して、扁平型電界放出素子-3の製造方法の一例を説明する。

【0100】[工程-E1] 先ず、例えばガラスから成る支持体10上にカソード電極用導電材料層を形成し、次いで、周知のリソグラフィ技術及びRIE法に基づきカソード電極用導電材料層をパターンニングすることによって、ストライプ状のカソード電極11を支持体10上に形成する。ストライプ状のカソード電極11は、図面の紙面左右方向に延びている。カソード電極11は、例えばスパッタリング法により形成された厚さ約0.2μmのクロム(Cr)層から成る。

【0101】[工程-E2] その後、全面に、具体的には、支持体10上及びカソード電極11上に絶縁層12を形成する。

【0102】[工程-E3] 次いで、ストライプ状のゲート電極13を絶縁層12上に形成した後、[工程-A2]と同様の方法に基づき、ゲート電極13及び絶縁層12に開口部14を形成し、開口部14(孔部)の底部にカソード電極11を露出させる(図15の(A)参照)。ストライプ状のゲート電極13は図面の紙面垂直方向に延びている。開口部14の平面形状は、例えば直径1μm〜30μmの円形である。開口部14を、例えば、1画素分の領域(電子放出領域)に1個〜3000個程度形成すればよい。

【0103】[工程-E4] 次に、開口部14の底部に露出したカソード電極11上に、電子放出部15Cを形成する。具体的には、先ず、開口部14の底部に位置するカソード電極11の表面に炭素薄膜選択成長領域70を形成する。そのために、先ず、開口部14の底部の中央部にカソード電極11の表面が露出したマスク層71を形成する(図15の(B)参照)。具体的には、レジスト材料層をスピニング法にて開口部14内を含む全面に成膜した後、リソグラフィ技術に基づき、開口部14の底部の中央部に位置するレジスト材料層に孔部を形成することによって、マスク層71を得ることができる。マスク層71は、開口部14の底部に位置するカソード電極11の一部分、開口部14の側壁、ゲート電極13及び絶縁層12を被覆している。これによって、次の工程で、開口部14の底部の中央部に位置するカソード電極11の表面に炭素薄膜選択成長領域を形成するが、カソード電極11とゲート電極13とが金属粒子によって短絡することを確実に防止し得る。

【0104】次に、露出したカソード電極11の表面を含むマスク層71上に、金属粒子を付着させる。具体的には、ニッケル(Ni)微粒子をポリシロキサン溶液中に分散させた溶液(溶媒としてイソプロピルアルコールを使用)をスピニング法にて全面に塗布し、炭素薄膜選択成長領域70を形成すべきカソード電極11の部分の表面に溶媒と金属粒子から成る層を形成する。

30

その後、マスク層71を除去し、400°C程度に加熱することによって溶媒を除去し、露出したカソード電極11の表面に金属粒子72を残すことで、炭素薄膜選択成長領域70を得ることができる(図16の(A)参照)。尚、ポリシロキサンは、露出したカソード電極11の表面に金属粒子72を固定させる機能(所謂、接着機能)を有する。

【0105】[工程-E5] その後、炭素薄膜選択成長領域70上に、厚さ約0.2μmの炭素薄膜73を形成し、電子放出部15Cを得る。この状態を図16の(B)に示す。マイクロ波プラズマCVD法に基づく炭素薄膜73の成膜条件を、以下の表1に例示する。

【0106】[表1]

[炭素薄膜の成膜条件]

使用ガス	: CH ₄ /H ₂ =100/10SCCM
圧力	: 1.3×10 ³ Pa
マイクロ波パワー	: 500W(13.56MHz)
成膜温度	: 500°C

【0107】[平面型電界放出素子-1] 平面型電界放出素子-1の模式的な一部断面図を、図17の(C)に示す。この平面型電界放出素子-1は、例えばガラスから成る支持体10上に形成されたストライプ状のカソード電極11、支持体10及びカソード電極11上に形成された絶縁層12、絶縁層12上に形成されたストライプ状のゲート電極13、並びに、ゲート電極13及び絶縁層12を貫通し、底部にカソード電極11が露出した開口部14から成る。カソード電極11は、図17の(C)の紙面垂直方向に延び、ゲート電極13は、図17の(C)の紙面左右方向に延びている。カソード電極11はクロム(Cr)から成り、絶縁層12はSiO₂から成る。ここで、開口部14の底部に露出したカソード電極11の部分が電子放出部15Dに相当する。

【0108】以下、支持体等の模式的な一部断面図である図17を参照して、平面型電界放出素子-1の製造方法を説明する。

【0109】[工程-F1] 先ず、支持体10上に電子放出部15Dとして機能するカソード電極11を形成する。具体的には、支持体10上に、クロム(Cr)から成るカソード電極用導電材料層をスパッタリング法にて形成した後、リソグラフィ技術及びドライエッチング技術に基づきカソード電極用導電材料層をパターンニングする。これによって、ストライプ状のカソード電極11を支持体10上に形成することができる(図17の(A)参照)。尚、カソード電極11は、図17の紙面垂直方向に延びている。

【0110】[工程-F2] 次に、例えばCVD法にてSiO₂から成る絶縁層12を、支持体10及びカソード電極11の上に形成する。尚、絶縁層12を、スクリーン印刷法に基づきガラスペーストから形成することもできる。

【0111】 [工程-F3] その後、ストライプ状のゲート電極13を絶縁層12上に形成する(図17の(B)参照)。尚、ゲート電極13は、図17の紙面左右方向に延びている。例えばスクリーン印刷法にて、ストライプ状のゲート電極13を絶縁層12上に、直接形成することもできる。

【0112】 [工程-F4] 次に、[工程-A2]と同様の方法に基づき、ゲート電極13及び絶縁層12に開口部14を形成し、開口部14(孔部)の底部に電子放出部15Dとして機能するカソード電極11を露出させる(図17の(C)参照)。その後、絶縁層12を等方的にエッチングし、ゲート電極13の開口部端部を露出させることが好ましい。

【0113】 [平面型電界放出素子-2] 図18の(A)に模式的な一部断面図を示す平面型電界放出素子-1の変形例である平面型電界放出素子-2が図17の(C)に示した平面型電界放出素子-1と相違する点は、開口部14の底部に露出したカソード電極11の表面(電子放出部に相当する)に、微小凹凸部11Aが形成されている点にある。このような平面型電界放出素子-2は、以下の製造方法にて製造することができる。

【0114】 [工程-G1] 先ず、[工程-F1]～[工程-F3]と略同様にして、支持体10上にストライプ状のカソード電極11を形成し、全面に絶縁層12を形成した後、ストライプ状のゲート電極13を絶縁層12上に形成する。即ち、例えばガラスから成る支持体10の上に、スパッタリング法により厚さ約0.2 μ mのタングステン層を成膜し、通常の手順に従って、このタングステン層をストライプ状にパターンニングし、カソード電極11を形成する。次に、支持体10及びカソード電極11上に絶縁層12を形成する。絶縁層12は、TEOS(テトラエトキシシラン)を原料ガスとして用いるCVD法により形成することができる。更に、この絶縁層12の上に、ゲート電極13を形成する。ここまでのプロセスが終了した状態は、実質的に、図17の(B)に示したと同様である。

【0115】 [工程-G2] 次に、[工程-F4]と同様にして、ゲート電極13及び絶縁層12に開口部14を形成し、開口部14の底部にカソード電極11を露出させる。その後、開口部14の底部に露出したカソード電極11の部分に、微小凹凸部11Aを形成する。微小凹凸部11Aの形成に際しては、エッチングガスとしてSF₆を用い、カソード電極11を構成するタングステン結晶粒のエッチング速度よりも粒界のエッチング速度の方が早くなるような条件を設定してRIE法に基づくドライエッチングを行う。その結果、タングステンの結晶粒径をほぼ反映した寸法を有する微小凹凸部11Aを形成することができる。

【0116】 このような平面型電界放出素子-2の構成においては、カソード電極11の微小凹凸部11A、よ

り具体的には微小凹凸部11Aの凸部に、ゲート電極13から大きな電界が加わる。このとき、凸部に集中する電界は、カソード電極11の表面が平滑である場合に比べて大きいので、凸部からは量子トンネル効果によって電子が効率良く放出される。従って、開口部14の底部に単に平滑なカソード電極11が露出している平面型電界放出素子-1に比べて、表示装置に組み込まれた場合の輝度の向上が期待できる。それ故、図18の(A)に示した平面型電界放出素子-2によれば、ゲート電極13とカソード電極11との間の電位差が比較的小さくても、十分な放出電子電流密度を得ることができ、表示装置の高輝度化が達成される。あるいは、同じ輝度を達成するために必要なゲート電圧が低くて済み、以て、低消費電力化を達成することが可能である。

【0117】 尚、絶縁層12をエッチングすることによって孔部を形成し、しかる後に異方性エッチング技術に基づきカソード電極11に微小凹凸部11Aを形成したが、開口部14を形成するためのエッチングによって、微小凹凸部11Aを同時に形成することも可能である。即ち、絶縁層12をエッチングする際に、ある程度のイオンスパッタ作用が期待できる異方的なエッチング条件を採用し、垂直壁を有する開口部14が形成された後もエッチングを継続することにより、開口部14の底部に露出したカソード電極11の部分に微小凹凸部11Aを形成することができる。その後、絶縁層12の等方性エッチングを行えばよい。

【0118】 また、[工程-G1]と同様の工程において、支持体10上に、タングステンから成るカソード電極用導電材料層をスパッタリング法にて形成した後、リソグラフィ技術及びドライエッチング技術に基づきカソード電極用導電材料層をパターンニングし、次いで、カソード電極用導電材料層の表面に微小凹凸部11Aを形成した後、[工程-F2]～[工程-F4]と同様の工程を実行することによって、図18の(A)に示したと同様の電界放出素子を作製することもできる。

【0119】 あるいは又、[工程-G1]と同様の工程において、支持体10上に、タングステンから成るカソード電極用導電材料層をスパッタリング法にて形成した後、カソード電極用導電材料層の表面に微小凹凸部11Aを形成し、次いで、リソグラフィ技術及びドライエッチング技術に基づきカソード電極用導電材料層をパターンニングした後、[工程-F2]～[工程-F4]と同様の工程を実行することによって、図18の(A)に示したと同様の電界放出素子を作製することもできる。

【0120】 図18の(B)には、図18の(A)に示した電界放出素子の変形例を示す。図18の(B)に示す電界放出素子においては、微小凹凸部11Aの先端部の平均高さ位置が、絶縁層12の下面位置よりも支持体側に存在している(即ち、下がっている)。かかる電界放出素子を形成するには、[工程-G2]におけるドラ

イエッチングの継続時間を延長すればよい。このような構成によれば、開口部14の中央部近傍の電界強度を一層高めることができる。

【0121】図19には、電子放出部に相当するカソード電極11の表面（より具体的には、少なくとも微小凹凸部11A上）に被覆層11Bが形成されている平面型電界放出素子を示す。

【0122】この被覆層11Bは、カソード電極11を構成する材料よりも仕事関数 ϕ の小さい材料から構成することが好ましく、どのような材料を選択するかは、カソード電極11を構成する材料の仕事関数、ゲート電極13とカソード電極11との間の電位差、要求される放出電子電流密度の大きさ等に基づいて決定すればよい。被覆層11Bの構成材料として、アモルファスダイヤモンドを例示することができる。被覆層11Bをアモルファスダイヤモンドを用いて構成した場合には、 $5 \times 10^7 \text{ V/m}$ 以下の電界強度にて、表示装置に必要な放出電子電流密度を得ることができる。

【0123】被覆層11Bの厚さは、微小凹凸部11Aを反映し得る程度に選択する。これは、被覆層11Bによって微小凹凸部11Aの凹部が埋め込まれ、電子放出部の表面が平滑化されてしまつては、微小凹凸部11Aを設けた意味が無くなるからである。従つて、微小凹凸部11Aの寸法にも依るが、例えば微小凹凸部11Aが電子放出部の結晶粒径を反映して形成されている場合には、被覆層11Bの厚さを概ね30～100nm程度に選択することが好ましい。また、微小凹凸部11Aの先端部の平均高さ位置を絶縁層12の下面位置よりも下げる場合には、厳密には、被覆層11Bの先端部の平均高さ位置を絶縁層12の下面位置よりも下げるのが、一層好ましい。

【0124】具体的には、[工程-F2]の後、全面に例えばCVD法によりアモルファスダイヤモンドから成る被覆層11Bを形成すればよい。尚、被覆層11Bは、ゲート電極13及び絶縁層12の上に形成されたレジスト層（図示せず）の上にも堆積するが、この堆積部分はレジスト層の除去時、同時に除去される。原料ガスとして例えば CH_4/H_2 混合ガスや、 CO/H_2 混合ガスを使用したCVD法に基づき被覆層11Bを形成することができ、それぞれ炭素を含む化合物の熱分解によつてアモルファスダイヤモンドから成る被覆層11Bが形成される。

【0125】あるいは又、[工程-F1]と同様の工程において、支持体10上に、タングステンから成るカソード電極用導電材料層をスパッタリング法にて形成した後、リソグラフィ技術及びドライエッチング技術に基づきカソード電極用導電材料層をパターンニングし、その後、カソード電極用導電材料層の表面に微小凹凸部11Aを形成し、次いで、被覆層11Bを形成した後、[工程-F2]～[工程-F4]と同様の工程を実行するこ

とによつて、図19に示す電界放出素子を作製することもできる。

【0126】あるいは又、[工程-F1]と同様の工程において、支持体10上に、タングステンから成るカソード電極用導電材料層をスパッタリング法にて形成した後、カソード電極用導電材料層の表面に微小凹凸部11Aを形成し、次いで、被覆層11Bを形成した後、リソグラフィ技術及びドライエッチング技術に基づき被覆層11B、カソード電極用導電材料層をパターンニングした後、[工程-F2]～[工程-F4]と同様の工程を実行することによつて、図19に示す電界放出素子を作製することもできる。

【0127】あるいは又、被覆層を構成する材料として、かかる材料の2次電子利得 δ がカソード電極を構成する導電性材料の2次電子利得 δ よりも大きくなるような材料を適宜選択することもできる。

【0128】尚、図17の(C)に示した平面型電界放出素子の電子放出部15D（カソード電極11の表面）に被覆層を形成してもよい。この場合には、[工程-F4]の後、開口部14の底部に露出したカソード電極11の表面に被覆層11Bを形成すればよく、あるいは又、[工程-F1]において、例えば、支持体10上にカソード電極用導電材料層を形成した後、カソード電極用導電材料層上に被覆層11Bを形成し、次いで、リソグラフィ技術及びドライエッチング技術に基づき、これらの層をパターンニングすればよい。

【0129】[クレータ型電界放出素子-1]クレータ型電界放出素子-1の模式的な一部断面図を、図23の(B)に示す。クレータ型電界放出素子-1においては、電子を放出する複数の隆起部111Aと、各隆起部111Aに囲まれた凹部111Bとを有するカソード電極111が、支持体10上に備えられている。尚、絶縁層12及びゲート電極13を取り除いた模式的な斜視図を図22の(B)に示す。

【0130】凹部の形状は特に限定されないが、典型的には略球面を成す。これは、かかるクレータ型電界放出素子の製造方法において球体が使用され、凹部111Bが球体の形状の一部を反映して形成されることと関連している。従つて、凹部111Bが略球面を成す場合、凹部111Bを囲む隆起部111Aは円環状となり、この場合の凹部111Bと隆起部111Aとは、全体としてクレータあるいはカルデラのような形状を呈する。隆起部111Aは電子を放出する部分であるため、電子放出効率を高める観点からは、その先端部111Cが先鋭であることが特に好ましい。隆起部111Aの先端部111Cのプロファイルは、不規則な凹凸を有していても、あるいは滑らかであってもよい。1画素内における隆起部111Aの配置は規則的であってもランダムであってもよい。尚、凹部111Bは、凹部111Bの周方向に沿つて連続した隆起部111Aにより囲まれていてもよ

いし、場合によっては、凹部 111B の周方向に沿って不連続な隆起部 111A により囲まれていてもよい。

【0131】このようなクレータ型電界放出素子の製造方法において、支持体上にストライプ状のカソード電極を形成する工程は、より具体的には、複数の球体を被覆したストライプ状のカソード電極を支持体上に形成する工程と、球体を除去することによって、球体を被覆したカソード電極の部分除去し、以て、電子を放出する複数の隆起部と、各隆起部に囲まれ、且つ、球体の形状の一部を反映した凹部とを有するカソード電極を形成する工程、から成る。

【0132】球体の状態変化及び／又は化学変化によって、球体を除去することが好ましい。ここで、球体の状態変化及び／又は化学変化とは、膨張、昇華、発泡、ガス発生、分解、燃焼、炭化等の変化若しくはこれらの組合せを意味する。例えば、球体は有機材料から成る場合、球体を燃焼させることによって除去することが一層好ましい。尚、球体の除去と球体を被覆するカソード電極の部分の除去は、必ずしも同時に起こらなくてもよい。例えば、球体を被覆するカソード電極の部分除去した後に球体の一部が残存している場合、残存した球体の除去を後から行えばよい。

【0133】特に、球体は有機材料から成る場合、球体を例えば燃焼させると、例えば、一酸化炭素、二酸化炭素、水蒸気が発生し、球体近傍の閉鎖空間の圧力が高まり、球体近傍のカソード電極は或る耐圧限界を超えた時点で破裂する。この破裂の勢いによって、球体を被覆するカソード電極の部分飛散し、隆起部及び凹部が形成され、しかも、球体が除去される。あるいは又、球体を例えば燃焼させると、同様の機構に基づき、カソード電極は或る耐圧限界を超えた時点で破裂する。この破裂の勢いによって、球体を被覆するカソード電極の部分飛散し、隆起部及び凹部と同時に孔部が形成され、しかも、球体が除去される。即ち、球体を除去する以前にはカソード電極には孔部が存在せず、球体の除去に伴って孔部が形成される。このとき、球体の燃焼の初期過程は閉鎖空間内で進行するため、球体の一部は炭化する可能性もある。球体を被覆するカソード電極の部分の厚さを、破裂によって飛散し得る程度に薄くすることが好ましい。

【0134】後述するクレータ型電界放出素子-3あるいはクレータ型電界放出素子-4においても、球体の状態変化及び／又は化学変化によって球体を除去することができるが、カソード電極の破裂を伴わないので、外力によって除去を行う方が簡便な場合もある。ここで、外力とは、空気又は不活性ガスの吹付け圧力、洗浄液の吹付け圧力、磁気吸引力、静電気力、遠心力等の物理的な力である。尚、クレータ型電界放出素子-3においては、クレータ型電界放出素子-1と異なり、球体を被覆する部分のカソード電極を飛散させる必要がないので、

カソード電極の残渣が発生し難いという利点がある。

【0135】後述するクレータ型電界放出素子-3あるいはクレータ型電界放出素子-4で使用される球体は、少なくとも表面が、カソード電極を構成する材料の界面張力（表面張力）に比べて、大きな界面張力を有する材料から構成されていることが好ましい。後述するクレータ型電界放出素子-3あるいはクレータ型電界放出素子-4において、球体は、少なくとも表面が界面張力に関するこの条件を満たしていればよい。つまり、カソード電極の界面張力よりも大きな界面張力を有している部分は、球体の表面のみであっても全体であってもよく、また、球体の表面及び／又は全体の構成材料は、無機材料、有機材料、あるいは無機材料と有機材料の組合せのいずれであってもよい。クレータ型電界放出素子-3あるいはクレータ型電界放出素子-4において、カソード電極等が通常の金属系材料から構成されている場合、金属系材料の表面には吸着水分に由来する水酸基、絶縁層の表面には Si-O 結合のダングリング・ボンドと吸着水分とに由来する水酸基が存在し、親水性の高い状態にあるのが普通である。従って、疎水性の表面処理層を有する球体を用いることが、特に有効である。疎水性の表面処理層の構成材料として、フッ素系樹脂、例えばポリテトラフルオロエチレンを挙げることができる。球体が疎水性の表面処理層を有する場合、疎水性の表面処理層の内側の部分を芯材と称することになると、芯材の構成材料は、ガラス、セラミックス、フッ素系樹脂以外の高分子材料のいずれであってもよい。

【0136】球体を構成する有機材料は特に限定されないが、汎用の高分子材料が好適である。但し、重合度が極端に大きかったり、多重結合含有量が極端に多い高分子材料では、燃焼温度が高くなり過ぎ、燃焼による球体の除去時、カソード電極に悪影響が及ぶ虞がある。それ故、これらに対する悪影響が生じる虞のない温度にて燃焼若しくは炭化させることが可能な高分子材料を選択することが好ましい。特に、絶縁層をガラスペーストのような、後工程において焼成を要する材料を用いて形成する場合には、工数をなるべく減少させる観点から、ガラスペーストの焼成温度にて燃焼若しくは炭化可能な高分子材料を選択することが好適である。ガラスペーストの典型的な焼成温度は約 530°C なので、かかる高分子材料の燃焼温度は 350~500°C 程度であることが好ましい。代表的な高分子材料として、スチレン系、ウレタン系、アクリル系、ビニル系、ジビニルベンゼン系、メラミン系、ホルムアルデヒド系、ポリメチレン系のホモポリマー又は共重合体を挙げることができる。あるいは又、球体として、支持体上での確実な配置を確保するために、付着力を有する固着タイプの球体を使用することもできる。固着タイプの球体として、アクリル系樹脂から成る球体を例示することができる。

【0137】あるいは又、例えば、塩化ビニリデン・ア

クリロニトリル共重合体を外殻とし、発泡材としてイソブタンを内包し、カプセル化した加熱膨張型マイクロスフェアを球体として使用することができる。クレータ型電界放出素子-1において、かかる加熱膨張型マイクロスフェアを用い、熱膨張型マイクロスフェアを加熱すると、外殻のポリマーが軟化し、しかも、内包されたイソブタンがガス化して膨張する結果、粒径が膨張前と比較して約4倍程度の真球の中空体が形成される。その結果、クレータ型電界放出素子-1において、電子を放出する隆起部、及び、隆起部に囲まれ、且つ、球体の形状の一部を反映した凹部を、カソード電極に形成することができる。尚、熱膨張型マイクロスフェアの加熱による膨張も、本明細書においては、球体の除去という概念に包含する。その後、熱膨張型マイクロスフェアを適切な溶剤を用いて取り除けばよい。

【0138】クレータ型電界放出素子-1においては、支持体上に複数の球体を配置した後、球体を被覆するカソード電極を形成すればよい。この場合においては、あるいは又、後述するクレータ型電界放出素子-3あるいはクレータ型電界放出素子-4においては、支持体上への複数の球体の配置方法として、球体を支持体上に散布する乾式法を挙げることができる。球体の散布には、例えば、液晶表示装置の製造分野において、パネル間隔を一定に維持するためのスペーサを散布する技術を応用することができる。具体的には、圧搾気体で球体をノズルから噴射する、所謂スプレーガンを用いることができる。尚、球体をノズルから噴射する際、球体を揮発性の溶剤中に分散させた状態としてもよい。あるいは、静電粉体塗装の分野で通常使用されている装置や方法を利用して球体を散布することもできる。例えば、コロナ放電を利用して、静電粉体吹付けガンにより負に帯電させた球体を、接地した支持体に向かって吹き付けることができる。使用する球体は、後述するように非常に小さいため、支持体上に散布されると支持体の表面に例えば静電気力によって付着し、以降の工程においても容易に支持体から脱落することはない。支持体上に複数の球体の配置した後、球体を加圧すれば、支持体上の複数の球体の重なりを解消することができ、球体を支持体上で単層に密に配置することができる。

【0139】あるいは、後述するクレータ型電界放出素子-2のように、球体とカソード電極材料とを分散媒中に分散させて成る組成物から成る組成物層を支持体上に形成し、以て、支持体上に複数の球体を配置し、カソード電極材料から成るカソード電極で球体を被覆した後、分散媒を除去することもできる。組成物の性状としては、スラリーやペーストが可能であり、これらの所望の性状に応じ、分散媒の組成や粘度を適宜選択すればよい。組成物層を支持体上に形成する方法としては、スクリーン印刷法が好適である。カソード電極材料は、典型的には、分散媒中における沈降速度が球体よりも遅い微

粒子であることが好適である。かかる微粒子を構成する材料として、カーボン、バリウム、ストロンチウム、鉄を挙げることができる。分散媒を除去した後、必要に応じてカソード電極の焼成を行う。組成物層を支持体上に形成する方法としては、噴霧法、滴下法、スピンコーティング法、スクリーン印刷法を挙げることができる。尚、球体が配置されると共に、カソード電極材料から成るカソード電極で球体が被覆されるが、組成物層の形成方法に依っては、かかるカソード電極のバターニングを行う必要がある。

【0140】あるいは、後述するクレータ型電界放出素子-3あるいはクレータ型電界放出素子-4にあっては、球体を分散媒中に分散させて成る組成物から成る組成物層を支持体上に形成し、以て、支持体上に複数の球体を配置した後、分散媒を除去することができる。組成物の性状としては、スラリーやペーストが可能であり、これらの所望の性状に応じ、分散媒の組成や粘度を適宜選択すればよい。典型的には、イソプロピルアルコール等の有機溶媒を分散媒として用い、蒸発により分散媒を除去することができる。組成物層を支持体上に形成する方法としては、噴霧法、滴下法、スピンコーティング法、スクリーン印刷法を挙げることができる。

【0141】ところで、ゲート電極とカソード電極は互いに異なる方向（例えば、ストライプ状のゲート電極の射影像とストライプ状のカソード電極の射影像とが成す角度が90度）に延びており、且つ、例えばストライプ状にバターニングされており、電子放出領域に位置する隆起部から電子が放出される。従って、隆起部は、機能上、電子放出領域にのみ存在すればよい。但し、たとえ電子放出領域以外の領域に隆起部及び凹部が存在していたとしても、このような隆起部及び凹部は絶縁層に被覆されたまま、何ら電子を放出するといった機能を果たさない。従って、球体を全面に配置しても何ら問題は生じない。

【0142】これに対して、球体を被覆したカソード電極用導電材料層、絶縁層及びゲート電極を構成する層の各部分を除去する場合、個々の球体の配置位置と開口部の形成位置とが一对一に対応するため、電子放出領域以外の領域にも開口部が形成される。以下、電子放出領域以外の領域に形成される開口部を「無効開口部」と呼び、電子放出に寄与する本来の開口部と区別する。ところで、電子放出領域以外の領域に無効開口部が形成されたとしても、この無効開口部は電界放出素子として何ら機能せず、電子放出領域に形成される電界放出素子の動作に何ら悪影響を及ぼさない。なぜなら、無効開口部の底部に隆起部及び凹部が露出しているか、無効開口部の上端部にゲート電極が形成されていないからであり、あるいは又、無効開口部の上端部にゲート電極が形成されているか、無効開口部の底部に隆起部及び凹部が露出して

おらず、しかも、上端部にゲート電極が形成されておらず、単に支持体の表面が露出しているか、のいずれかであるからである。従って、球体を全面に配置しても何ら問題は生じない。尚、電子放出領域とそれ以外の領域との境界線上に形成された孔は、開口部に含まれる。

【0143】球体の直径は、所望の開口部の直径、凹部の直径、電界放出素子を用いて構成される表示装置の表示画面寸法、画素数、電子放出領域の寸法、1画素を構成すべき電界放出素子の個数に応じて選択することができるが、0.1~10 μ mの範囲で選択することが好ましい。例えば、液晶表示装置のスペーサとして市販されている球体は、粒径分布が1~3%と良好なので、これを利用することが好適である。球体の形状は真球であることが理想的ではあるが、必ずしも真球である必要はない。支持体上には球体を100~5000個/mm²程度の密度で配置することが好適である。例えば球体を約1000個/mm²の密度で支持体上に配置すると、例えば電子放出領域の寸法を仮に0.5mm×0.2mmとした場合、この電子放出領域内に約100個の球体が存在し、約100個の隆起部が形成されることになる。1つの電子放出領域にこの程度の個数の隆起部が形成されていれば、球体の粒径分布や真球度のばらつきに起因する凹部の直径のばらつきはほぼ平均化され、実用上、1画素（又は1サブピクセル）当たりの放出電子電流密度や輝度はほぼ均一となる。

【0144】クレータ型電界放出素子-1あるいは後述するクレータ型電界放出素子-2~クレータ型電界放出素子-4においては、球体の形状の一部が電子放出部を構成する凹部の形状に反映される。隆起部の先端部のプロファイルは、不規則な凹凸を有していても、あるいは滑らかであってもよいが、特に、クレータ型電界放出素子-1やクレータ型電界放出素子-2においては、この先端部はカソード電極の破断により形成されるため、隆起部の先端部が不規則形状となり易い。破断により隆起部に先端部が先鋭化すると、先端部が高効率の電子放出部として機能し得るので、好都合である。クレータ型電界放出素子-1~クレータ型電界放出素子-4においては、凹部を囲む隆起部はいずれも概ね円環状となり、この場合の凹部と隆起部とは、全体としてクレータあるいはカルデラのような形状を呈する。

【0145】支持体上における隆起部の配置は規則的であってもランダムであってもよく、球体の配置方法に依存する。上述の乾式法あるいは湿式法を採用した場合、支持体上における隆起部の配置はランダムとなる。

【0146】クレータ型電界放出素子-1~クレータ型電界放出素子-4において、絶縁層の形成後、絶縁層に開口部を形成するが、隆起部の先端部に損傷が生じないように、隆起部を得た後、保護層を形成し、開口部の形成後、保護層を取り除く構成とすることもできる。保護層を構成する材料として、クロムを例示することができ

る。

【0147】以下、図20~図23を参照して、クレータ型電界放出素子-1の製造方法を説明するが、図20の(A)、図21の(A)、図22の(A)模式的な一部端面図であり、図23の(A)及び(B)は模式的な一部断面図であり、図20の(B)、図21の(B)及び図22の(B)は、図20の(A)、図21の(A)及び図22の(A)よりも広い範囲を模式的に示す一部斜視図である。

【0148】[工程-H1] 先ず、複数の球体80を被覆したカソード電極111を支持体10上に形成する。具体的には、先ず、例えばガラスから成る支持体10上の全面に、球体80を配置する。球体80は、例えばポリメチレン系の高分子材料から成り、平均直径約5 μ m、粒径分布1%未満である。球体80を、スプレーガンを用い、支持体10上におおよそ1000個/mm²の密度でランダムに配置する。スプレーガンを用いた散布は、球体を揮発性溶剤と混合して噴霧する方式、あるいは粉末状態のままノズルから噴射する方式のいずれでもよい。配置された球体80は、静電気力で支持体10上に保持されている。この状態を図20の(A)及び(B)に示す。

【0149】[工程-H2] 次に、球体80及び支持体10上にカソード電極111を形成する。カソード電極111を形成した状態を、図21の(A)及び(B)に示す。カソード電極111は、例えばカーボンペーストをストライプ状にスクリーン印刷することによって形成することができる。このとき、球体80は支持体10上の全面に配置されているので、球体80の中には、図21の(B)に示すように、カソード電極111で被覆されないものも当然存在する。次に、カソード電極111に含まれる水分や溶剤を除去し、且つ、カソード電極111を平坦化するために、例えば150°Cにてカソード電極111を乾燥する。この温度では、球体80は何ら状態変化及び/又は化学変化を起こさない。尚、上述のようなカーボンペーストを用いたスクリーン印刷に替えて、カソード電極111を構成するカソード電極用導電材料層を全面に形成し、このカソード電極用導電材料層を通常のリソグラフィ技術とドライエッチング技術を用いてパターンニングし、ストライプ状のカソード電極111を形成することもできる。リソグラフィ技術を適用する場合、通常、レジスト材料層をスピンコーティング法により形成するが、スピンコーティング時の支持体10の回転数が500rpm程度、回転時間が数秒間程度であれば、球体80は脱落したり変位することなく、支持体10上に保持され得る。

【0150】[工程-H3] 次に、球体80を除去することによって、球体80を被覆したカソード電極111の部分除去し、以て、電子を放出する複数の隆起部111Aと、各隆起部111Aに囲まれ、且つ、球体80

41

の形状の一部を反映した凹部111Bとを有するカソード電極111を形成する。この状態を、図22の(A)及び(B)に示す。具体的には、カソード電極111の焼成を兼ね、約530°Cにて加熱を行うことにより球体80を燃焼させる。球体80の燃焼に伴って球体80が閉じ込められていた閉鎖空間の圧力が上昇し、球体80を被覆するカソード電極111の部分が或る耐圧限界を超えた時点で破裂して除去される。その結果、支持体10上に形成されたカソード電極111の一部分に、隆起部111A及び凹部111Bが形成される。尚、球体を除去した後に、球体の一部分が残渣として残る場合には、使用する球体を構成する材料にも依るが、適切な洗浄液を用いて残渣を除去すればよい。

【0151】[工程-H4]その後、カソード電極111及び支持体10上に絶縁層12を形成する。具体的には、例えば、ガラスペーストを全面に約5 μ mの厚さにスクリーン印刷する。次に、絶縁層12に含まれる水分や溶剤を除去し、且つ、絶縁層12を平坦化するために、例えば150°Cにて絶縁層12を乾燥する。上述のようなガラスペーストを用いたスクリーン印刷に替えて、例えばプラズマCVD法によりSiO₂膜を形成してもよい。

【0152】[工程-H5]次に、絶縁層12上に、ストライプ状のゲート電極13を形成する(図23の(A)参照)。ストライプ状のゲート電極13の射影像の延びる方向は、ストライプ状のカソード電極111の射影像の延びる方向と90度の角度を成している。

【0153】[工程-H6]その後、ゲート電極13の射影像とカソード電極111の射影像とが重複する電子放出領域において、[工程-A2]と同様の方法に基づき、ゲート電極13及び絶縁層12に開口部14を形成し、以て、開口部14(孔部)の底部に複数の隆起部111A及び凹部111Bを露出させる。尚、カソード電極111に対して十分に高いエッチング選択比が確保できる条件でエッチングを行うことが好ましい。あるいは又、隆起部111Aを形成した後、例えば、クロムから成る保護層を形成しておき、開口部14を形成した後、保護層を取り除くことが好ましい。こうして、図23の(B)に示した電界放出素子を得ることができる。

【0154】尚、クレータ型電界放出素子-1の製造方法の変形例として、[工程-H2]の後、[工程-H4]～[工程-H6]を実行し、次いで、[工程-H3]を実行してもよい。この場合、球体の燃焼とゲート電極13及び絶縁層12を構成する材料の焼成を同時に行えばよい。

【0155】あるいは又、[工程-H2]の後、[工程-H4]を実行し、更に、[工程-H5]と同様の工程において、開口部を有していないストライプ状のゲート電極を構成する層を絶縁層上に形成した後、[工程-H

42

3]を実行する。これによって、球体80を被覆したカソード電極111、絶縁層12及びゲート電極13を構成する層の各部分が除去され、以て、ゲート電極13及び絶縁層12を貫通した開口部14が形成されると共に、電子を放出する隆起部111Aと、隆起部111Aに囲まれ、且つ、球体80の形状の一部を反映した凹部111Bとから成る電子放出部を、開口部14の底部に位置するカソード電極111に形成することができる。即ち、球体80の燃焼に伴って球体80が閉じ込められている閉鎖空間の圧力が上昇し、球体を被覆する部分のカソード電極111と絶縁層12とゲート電極13を構成する層とが或る耐圧限界を超えた時点で破裂し、隆起部111A及び凹部111Bと同時に開口部14が形成され、しかも、球体80が除去される。開口部14は、ゲート電極13及び絶縁層12を貫通し、且つ、球体80の形状の一部を反映している。また、開口部14の底部には、電子を放出する隆起部111A、及び、隆起部111Aに囲まれ、且つ、球体80の形状の一部を反映した凹部111Bが残る。

【0156】[クレータ型電界放出素子-2]クレータ型電界放出素子-2の製造方法の図24を参照して説明するが、支持体10上に複数の球体80を配置する工程が、球体80とカソード電極材料とを分散媒中に分散させて成る組成物から成る組成物層81を支持体10上に形成し、以て、支持体10上に複数の球体80を配置し、カソード電極材料から成るカソード電極111で球体を被覆した後、分散媒を除去する工程から成る、即ち、湿式法から成る点が、クレータ型電界放出素子-1の製造方法と相違する。

【0157】[工程-J1]先ず、支持体10上に複数の球体80を配置する。具体的には、球体80とカソード電極材料81Bとを分散媒81A中に分散させて成る組成物から成る組成物層81を支持体10上に形成する。即ち、例えば、イソプロピルアルコールを分散媒81Aとして使用し、平均直径約5 μ mのポリメチレン系の高分子材料から成る球体80と、平均直径約0.05 μ mのカーボン粒子をカソード電極材料81Bとして分散媒81A中に分散させて成る組成物を支持体10上にストライプ状にスクリーン印刷し、組成物層81を形成する。図24の(A)には、組成物層81の形成直後の状態を示す。

【0158】[工程-J2]支持体10に保持された組成物層81中では、間もなく球体80が沈降して支持体10上に配置されると共に、球体80から支持体10上に互ってカソード電極材料81Bが沈降し、カソード電極材料81Bから成るカソード電極111が形成される。これによって、支持体10上に複数の球体80を配置し、カソード電極材料から成るカソード電極111で球体80を被覆することができる。この状態を、図24の(B)に示す。

43

【0159】[工程-J3] その後、分散媒81Aを例えば蒸発させることによって除去する。この状態を、図24の(C)に示す。

【0160】[工程-J4] 次いで、クレータ型電界放出素子-1の[工程-H3]～[工程-H6]と同様の工程、あるいは、クレータ型電界放出素子-1の製造方法の変形例を実行することによって、図23の(B)に示したと同様の電界放出素子を完成することができる。

【0161】[クレータ型電界放出素子-3] このクレータ型電界放出素子-3の製造方法において、支持体上にストライプ状のカソード電極を形成する工程は、より具体的には、支持体上に複数の球体を配置する工程と、電子を放出する複数の隆起部と、各隆起部に囲まれ、且つ、球体の形状の一部を反映した凹部とを有し、各隆起部が球体の周囲に形成されたカソード電極を、支持体上に設ける工程と、球体を除去する工程、から成る。支持体上への複数の球体の配置は、球体の散布によって行う。また、球体は疎水性の表面処理層を有する。以下、かかる電界放出素子の製造方法を、図25を参照して説明する。

【0162】[工程-K1] 先ず、支持体10上に複数の球体180を配置する。具体的には、ガラスから成る支持体10上の全面に、複数の球体180を配置する。この球体180は、例えばジビニルベンゼン系の高分子材料から成る芯材180Aをポリテトラフルオロエチレン系樹脂から成る表面処理層180Bで被覆して成り、平均直径約5 μ m、粒径分布1%未満である。球体180を、スプレーガンを用い、支持体10上におおよそ1000個/mm²の密度でランダムに配置する。配置された球体180は、静電気力で支持体10上に吸着されている。ここまでのプロセスが終了した状態を、図25の(A)に示す。

【0163】[工程-K2] 次に、電子を放出する複数の隆起部111Aと、各隆起部111Aに囲まれ、且つ、球体180の形状の一部を反映した凹部111Bとを有し、各隆起部111Aが球体180の周囲に形成されたカソード電極111を、支持体10上に設ける。具体的には、クレータ型電界放出素子-1で述べたと同様に、例えばカーボンペーストをストライプ状にスクリーン印刷するが、クレータ型電界放出素子-3では、球体180の表面が表面処理層180Bにより疎水性を帯びているために、球体180の上にスクリーン印刷されたカーボンペーストは直ちに弾かれて落下し、球体180の周囲に堆積して隆起部111Aが形成される。隆起部111Aの先端部111Cは、クレータ型電界放出素子-1の場合ほど先鋭とはならない。球体180と支持体10との間に入り込んだカソード電極111の部分が、凹部111Bとなる。図25の(B)では、カソード電極111と球体180との間に隙間が存在するように図示されているが、カソード電極111と球体180とは

44

接触している場合もある。その後、カソード電極111を例えば150°Cにて乾燥させる。ここまでのプロセスが終了した状態を、図25の(B)に示す。

【0164】[工程-K3] 次に、球体180に外力を与えることによって、支持体10上から球体180を除去する。具体的な除去方法としては、洗浄や圧搾気体の吹付けを挙げることができる。ここまでのプロセスが終了した状態を、図25の(C)に示す。尚、球体の除去は、球体の状態変化及び/又は化学変化に基づいて、より具体的には、例えば、燃焼によって球体を除去することも可能である。

【0165】[工程-K4] その後、クレータ型電界放出素子-1の[工程-H4]～[工程-H6]を実行することによって、図23の(B)に示したと略同様の電界放出素子を得ることができる。

【0166】尚、クレータ型電界放出素子-3の製造方法の変形例として、[工程-K2]の後、クレータ型電界放出素子-1における[工程-H4]～[工程-H6]を実行し、次いで、[工程-K3]を実行してもよい。

【0167】[クレータ型電界放出素子-4] クレータ型電界放出素子-4の製造方法において、支持体上にストライプ状のカソード電極を形成する工程は、より具体的には、支持体上に複数の球体を配置する工程と、電子を放出する複数の隆起部と、各隆起部に囲まれ、且つ、球体の形状の一部を反映した凹部とを有し、各隆起部が球体の周囲に形成されたカソード電極を支持体上に設ける工程、から成る。尚、全面に絶縁層を設ける際、球体の上方に開口部が形成された絶縁層を、カソード電極及び支持体上に設ける。球体の除去は、開口部の形成後に行う。クレータ型電界放出素子-4の製造方法においては、支持体上への複数の球体の配置は、球体の散布によって行う。また、球体は疎水性の表面処理層を有する。以下、クレータ型電界放出素子-4の製造方法を、図26及び図27を参照して説明する。

【0168】[工程-L1] 先ず、支持体10上に複数の球体180を配置する。具体的には、クレータ型電界放出素子-3の製造工程における[工程-K1]と同様の工程を実行する。

【0169】[工程-L2] その後、電子を放出する複数の隆起部111Aと、各隆起部111Aに囲まれ、且つ、球体180の形状の一部を反映した凹部111Bとを有し、各隆起部111Aが球体180の周囲に形成されたカソード電極111を、支持体10上に設ける。具体的には、クレータ型電界放出素子-3の製造工程における[工程-K2]と同様の工程を実行する。

【0170】[工程-L3] 次に、球体の上方に開口部14Aが形成された絶縁層12を、カソード電極111及び支持体10上に設ける。具体的には、例えば、ガラスペーストを全面に約5 μ mの厚さにスクリーン印刷す

る。球体180の表面が表面処理層180Bにより疎水性を帯びているために、球体180の上にスクリーン印刷されたガラスペーストは直ちに弾かれて落下し、自らの表面張力により絶縁層12の球体180の上の部分は収縮する。その結果、球体180の頂部は絶縁層12に覆われることなく、開口部14A内に露出する。この状態を図26の(A)に示す。図示した例では、開口部14Aの上端部の直径は球体180の直径よりも大きい
10 が、表面処理層180Bの界面張力が、ガラスペーストの界面張力よりも小さい場合には、開口部14Aの直径が小さくなる傾向にある。逆に、表面処理層180Bの界面張力が、ガラスペーストの界面張力よりも著しく大きい場合には、開口部14Aの直径は大きくなり易い。その後、絶縁層12を例えば150°Cにて乾燥させる。

【0171】[工程-L4] 次に、開口部14Aと連通する開口部14Bを有するゲート電極13を絶縁層12上に形成する。具体的には、例えば、ペーストをストライプ状にスクリーン印刷する。球体180の表面が表面
20 処理層180Bにより疎水性を帯びているために、球体180の上にスクリーン印刷されたペーストは直ちに弾かれて、自らの表面張力により収縮し、絶縁層12の表面のみに付着した状態となる。このとき、ゲート電極13は、図示するように、絶縁層12の開口端部から開口部14A内へ若干回り込むように形成されることもある。その後、ゲート電極13を例えば150°Cにて乾燥させる。ここまでの工程が終了した状態を、図26の(B)に示す。尚、表面処理層180Bの界面張力が、ペーストの界面張力よりも小さい場合には、開口部14Aの直径が小さくなる傾向にある。逆に、表面処理層1
30 80Bの界面張力が、ペーストの界面張力よりも著しく大きい場合には、開口部14Aの直径は大きくなり易い。

【0172】[工程-L5] 次に、開口部14B、14Aの底部に露出した球体180を除去する。具体的には、カソード電極111と絶縁層12との焼成を兼ね、ガラスペーストの典型的な焼成温度である約530°Cにて加熱を行うことにより、球体180を燃焼させる。このとき、クレータ型電界放出素子-1と異なり、絶縁層12及びゲート電極13には開口部14A、14Bが
40 最初から形成されているので、カソード電極111や絶縁層12、ゲート電極13の一部が飛散することはない。球体180は速やかに除去される。尚、開口部14A、14Bの上端部の直径が球体180の直径よりも大きい場合、球体180を燃焼させなくとも、例えば、洗浄や圧搾気体の吹付け等の外力によって球体180を除去することが可能である。ここまでの工程が終了した状態を、図27の(A)に示す。

【0173】[工程-L6] その後、開口部14Aの側壁面に相当する絶縁層12の一部を等方的にエッチング
50

すると、図27の(B)に示す電界放出素子を完成することができる。ここでは、ゲート電極13の端部が下方を向いているが、このことは、開口部14内の電界強度を高める上で好ましい。

【0174】[エッジ型電界放出素子] エッジ型電界放出素子の模式的な一部断面図を図28の(A)に示す。このエッジ型電界放出素子は、支持体10上に形成されたストライプ状のカソード電極211と、支持体10及びカソード電極211上に形成された絶縁層12と、絶縁層12上に形成されたストライプ状のゲート電極13から構成されており、開口部14がゲート電極13及び絶縁層12に設けられている。開口部14の底部にはカソード電極211のエッジ部211Aが露出している。カソード電極211及びゲート電極13に電圧を印加することによって、カソード電極211のエッジ部211Aから電子が放出される。

【0175】尚、図28の(B)に示すように、開口部14内のカソード電極211の下の支持体10に凹部10Aが形成されていてもよい。あるいは又、模式的な一部断面図を図28の(C)に示すように、支持体10上に形成された第1のゲート電極13Aと、支持体10及び第1のゲート電極13A上に形成された層間絶縁層12Aと、層間絶縁層12A上に形成されたカソード電極211と、層間絶縁層12A及びカソード電極211に形成された絶縁層12Bと、絶縁層12B上に形成された第2のゲート電極13Bから構成することもできる。そして、開口部14が、第2のゲート電極13B、絶縁層12B、カソード電極211及び層間絶縁層12Aに設けられており、開口部14の側壁にはカソード電極211のエッジ部211Aが露出している。カソード電極211並びに第1のゲート電極13A、第2のゲート電極13Bに電圧を印加することによって、電子放出部に相当するカソード電極211のエッジ部211Aから電子が放出される。

【0176】例えば、図28の(C)に示したエッジ型電界放出素子の製造方法を、支持体等の模式的な一部断面図である図29を参照して、以下、説明する。

【0177】[工程-M1] 先ず、例えばガラスから成る支持体10の上に、スパッタリング法により厚さ約0.2μmのタングステン膜を成膜し、通常の手順に従ってフォトリソグラフィ技術及びドライエッチング技術によりこのタングステン膜をパターニングし、第1のゲート電極13Aを形成する。次に、全面に、SiO₂から成る厚さ0.3μmの層間絶縁層12Aを形成した後、層間絶縁層12Aの上にタングステンから成るストライプ状のカソード電極211を形成する(図29の(A)参照)。

【0178】[工程-M2] その後、全面に、例えばSiO₂から成る厚さ0.7μmの絶縁層12Bを形成し、次いで、絶縁層12B上にストライプ状の第2のゲ
50

47

ート電極13Bを形成する(図29の(B)参照)。

【0179】[工程-M3]次に、[工程-A2]と同様の方法に基づき、第2のゲート電極13Bを例えばRIE法により異方的にエッチングし、開口部を形成する。次に、開口部の底面に露出した絶縁層12Bを等方的にエッチングし、孔部を形成する。絶縁層12BをSiO₂を用いて形成しているため、緩衝化フッ酸水溶液を用いたウェットエッチングを行う。絶縁層12Bに形成された孔部の壁面は、第2のゲート電極13Bに形成された開口部の開口端面よりも後退するが、このとき
10 の後退量はエッチング時間の長短により制御することができる。ここでは、絶縁層12Bに形成された孔部の下端が、第2のゲート電極13Bに形成された開口部の開口端面よりも後退するまで、ウェットエッチングを行う。

【0180】次に、孔部の底面に露出したカソード電極211を、イオンを主エッチング種とする条件によりドライエッチングする。イオンを主エッチング種とするドライエッチングでは、被エッチング物へのバイアス電圧の印加やプラズマと磁界との相互作用を利用して荷電粒子であるイオンを加速することができるため、一般には
20 異方性エッチングが進行し、被エッチング物の加工面は垂直壁となる。しかし、この工程では、プラズマ中の主エッチング種の中にも垂直以外の角度を有する入射成分が若干存在すること、及び開口部の端部における散乱によってもこの斜め入射成分が生ずることにより、カソード電極211の露出面の中で、本来であれば開口部によって遮蔽されてイオンが到達しないはずの領域にも、ある程度の確率で主エッチング種が入射する。このとき、支持体10の法線に対する入射角の小さい主エッチング種ほど入射確率は高く、入射角の大きい主エッチング種ほど入射確率は低い。

【0181】従って、カソード電極211に形成された孔部の上端部の位置は、絶縁層12Bに形成された孔部の下端部とはほぼ揃っているものの、カソード電極211に形成された孔部の下端部の位置はその上端部よりも突出した状態となる。つまり、カソード電極211のエッジ部211Aの厚さが、突出方向の先端部に向けて薄くなり、エッジ部211Aが先鋭化される。例えば、エッチング・ガスとしてSF₆を用いることにより、カソード電極211の良好な加工を行うことができる。

【0182】次に、カソード電極211に形成された孔部の底面に露出した層間絶縁層12Aを等方的にエッチングし、層間絶縁層12Aに孔部を形成し、開口部14を完成させる。ここでは、緩衝化フッ酸水溶液を用いたウェットエッチングを行う。層間絶縁層12Aに形成された孔部の壁面は、カソード電極211に形成された孔部の下端部よりも後退する。このときの後退量はエッチング時間の長短により制御可能である。開口部14の完成後に第1のレジスト層を除去すると、図28の(C)に示した構成を得ることができる。

48

【0183】[スピント型電界放出素子の製造方法の変形-1][スピント型電界放出素子]にて説明したスピント型電界放出素子の製造方法の変形例を、以下、支持体等の模式的な一部端面図である図30～図33を参照して説明するが、このスピント型電界放出素子は、基本的には、以下の工程に基づき作製される。即ち、

(a) 支持体10上にストライプ状のカソード電極11を形成する工程

(b) カソード電極11上を含む支持体10上に絶縁層12を形成する工程

(c) 絶縁層12上にストライプ状のゲート電極13を形成する工程

(d) 底部にカソード電極11が露出した開口部14を、ゲート電極13及び絶縁層12に形成する工程

(e) 開口部14内を含む全面に電子放出部形成用の導電材料層91を形成する工程

(f) 開口部14の中央部に位置する導電材料層91の領域を遮蔽するように、マスク材料層92を導電材料層91上に形成する工程

(g) 導電材料層91の支持体10に対して垂直な方向におけるエッチング速度がマスク材料層92の支持体に対して垂直な方向におけるエッチング速度よりも速くなる異方性エッチング条件下で導電材料層91とマスク材料層92とをエッチングすることにより、導電材料層91から成り、先端部が錐状形状を有する電子放出部15Eを開口部14内に露出したカソード電極11上に形成する工程

【0184】[工程-N1] 先ず、例えばガラス基板上に厚さ約0.6μmのSiO₂層を形成して成る支持体10上に、クロム(Cr)から成るカソード電極11を設ける。具体的には、支持体10上に、例えばスパッタリング法やCVD法にてクロムから成るカソード電極用導電材料層を堆積させ、かかるカソード電極用導電材料層をパターニングすることによって、複数のカソード電極11を形成することができる。カソード電極11の幅を例えば50μm、カソード電極間スペースを例えば30μmとする。その後、カソード電極11上を含む支持体10上に、原料ガスとしてTEOS(テトラエトキシシラン)を使用するプラズマCVD法にてSiO₂から
40 成る絶縁層12を形成する。絶縁層12の厚さを約1μmとする。次に、絶縁層12上の全面に、カソード電極11と直交する方向に平行に延びるストライプ状のゲート電極13を形成する。

【0185】次に、カソード電極11とゲート電極13との重複領域である電子放出領域、即ち、1画素の領域において、ゲート電極13と絶縁層12とを貫通した開口部14を、[工程-A2]と同様の方法に基づき形成する(図30の(A)参照)。開口部14の平面形状は、例えば、直径0.3μmの円形である。開口部14
50 は、通常、1画素の領域に数百乃至千個程度形成され

る。

【0186】[工程-N2] 次に、全面に密着層90をスパッタリング法にて形成する(図30の(B)参照)。この密着層90は、ゲート電極13が形成されていない絶縁層12の露出面や開口部14の側壁面に露出している絶縁層12と、次の工程で全面的に成膜される導電材料層91との間の密着性を高めるために設けられる層である。導電材料層91をタングステンで形成することを前提とし、タングステンから成る密着層90を、DCスパッタリング法により $0.07\mu\text{m}$ の厚さに形成する。

【0187】[工程-N3] 次に、開口部14内を含む全面に、厚さ約 $0.6\mu\text{m}$ のタングステンから成る電子放出部形成用の導電材料層91を水素還元減圧CVD法により形成する(図31の(A)参照)。成膜された導電材料層91の表面には、開口部14の上端面と底面との間の段差を反映した凹部91Aが形成される。

【0188】[工程-N4] 次に、開口部14の中央部に位置する導電材料層91の領域(具体的には凹部91A)を遮蔽するようにマスク材料層92を形成する。具体的には、まず、スピコート法により厚さ $0.35\mu\text{m}$ のレジスト材料をマスク材料層92として導電材料層91の上に形成する(図31の(B)参照)。マスク材料層92は、導電材料層91の凹部91Aを吸収し、ほぼ平坦な表面となる。次に、マスク材料層92を酸素系ガスをを用いたRIE法によりエッチングする。このエッチングを、導電材料層91の平坦面が露出した時点で終了する。これにより、導電材料層91の凹部91Aを平坦に埋め込むようにマスク材料層92が残る(図32の(A)参照)。

【0189】[工程-N5] 次に、導電材料層91とマスク材料層92と密着層90とをエッチングし、円錐形状の電子放出部15Eを形成する(図32の(B)参照)。これらの層のエッチングは、導電材料層91のエッチング速度がマスク材料層92のエッチング速度よりも速くなる異方性エッチング条件下で行う。エッチング条件を以下の表2に例示する。

【0190】[表2]

[導電材料層91等のエッチング条件]

SF₆流量 : 150SCCM

O₂流量 : 30SCCM

Ar流量 : 90SCCM

圧力 : 35Pa

RFパワー : 0.7kW (13.56MHz)

【0191】[工程-N6] その後、等方的なエッチング条件にて開口部14の内部において絶縁層12に設けられた開口部14の側壁面を後退させると、図33に示す電界放出素子が完成される。等方的なエッチングは

[工程-A5]にて説明したと同様とすればよい。

【0192】ここで、[工程-N5]において、電子放

出部15Eが形成される機構について、図34を参照して説明する。図34の(A)は、エッチングの進行に伴って、被エッチング物の表面プロファイルが一定時間毎にどのように変化するかを示す模式図であり、図34の(B)は、エッチング時間と開口部14の中心における被エッチング物の厚さとの関係を示すグラフである。開口部14の中心におけるマスク材料層の厚さを h_p 、開口部14の中心における電子放出部15Eの高さを h_e とする。

【0193】表2に示したエッチング条件では、レジスト材料から成るマスク材料層92のエッチング速度よりも、導電材料層91のエッチング速度の方が当然速い。マスク材料層92が存在しない領域では、導電材料層91が直ぐにエッチングされ始め、被エッチング物の表面が速やかに下降してゆく。これに対して、マスク材料層92が存在する領域では、最初にマスク材料層92が除去されないとその下の導電材料層91のエッチングが始まらないので、マスク材料層92がエッチングされている間は被エッチング物の厚さの減少速度は遅く(h_p 減少区間)、マスク材料層92が消失した時点で初めて、被エッチング物の厚さの減少速度がマスク材料層92の存在しない領域と同様に速くなる(h_e 減少区間)。 h_e 減少区間の開始時期は、マスク材料層92が厚さが最大となる開口部14の中心で最も遅く、マスク材料層92の薄い開口部14の周辺に向かって早くなる。このようにして、円錐形状の電子放出部15Eが形成される。

【0194】レジスト材料から成るマスク材料層92のエッチング速度に対する導電材料層91のエッチング速度の比を、「対レジスト選択比」と称することにする。この対レジスト選択比が、電子放出部15Eの高さと形状を決定する重要な因子であることを、図35を参照して説明する。図35の(A)は、対レジスト選択比が相対的に小さい場合、図35の(C)は、対レジスト選択比が相対的に大きい場合、図35の(B)はこれらの間である場合の、電子放出部15Eの形状を示している。対レジスト選択比が大きいほど、マスク材料層92の膜減りに比べて導電材料層91の膜減りが激しくなるので、電子放出部15Eはより高く、且つ鋭くなるのが判る。対レジスト選択比は、SF₆流量に対するO₂流量の割合を高めると低下する。また、基板バイアスを併用してイオンの入射エネルギーを変化させることが可能なエッチング装置を用いる場合には、RFバイアスパワーを高めたり、バイアス印加用の交流電源の周波数を下げること、対レジスト選択比を下げるができる。対レジスト選択比の値は1.5以上、好ましくは2以上、より好ましくは3以上に選択される。

【0195】尚、上記のエッチングにおいては当然、ゲート電極13やカソード電極11に対して高い選択比を確保する必要があるが、表2に示した条件で全く問題はない。なぜなら、ゲート電極13やカソード電極11を

構成する材料は、フッ素系のエッチング種では殆どエッチングされず、上記の条件であれば、概ね10以上のエッチング選択比が得られるからである。

【0196】[スピント型電界放出素子の製造方法の変形-2] [スピント型電界放出素子の製造方法の変形-2]の製造方法は、[スピント型電界放出素子の製造方法の変形-1]の製造方法の変形である。この製造方法においては、マスク材料層により遮蔽される導電材料層の領域を、[スピント型電界放出素子の製造方法の変形-1]における製造方法におけるよりも狭くすることが可能である。即ち、[スピント型電界放出素子の製造方法の変形-2]におけるスピント型電界放出素子の製造方法においては、開口部の上端面と底面との間の段差を反映して、柱状部とこの柱状部の上端に連通する拡大部とから成る略漏斗状の凹部を導電材料層の表面に生成させ、工程(f)において、導電材料層の全面にマスク材料層を形成した後、マスク材料層と導電材料層とを支持体の表面に対して平行な面内で除去することにより、柱状部にマスク材料層を残す。

【0197】以下、[スピント型電界放出素子の製造方法の変形-2]におけるスピント型電界放出素子の製造方法を、支持体等の模式的な一部端面図である図36～図38を参照して説明する。

【0198】[工程-P1] 先ず、支持体10上にカソード電極11を形成する。カソード電極11は、例えばDCスパッタリング法により、TiN層(厚さ0.1 μ m)、Ti層(厚さ5nm)、Al-Cu層(厚さ0.4 μ m)、Ti層(厚さ5nm)、TiN層(厚さ0.02 μ m)及びTi層(0.02 μ m)をこの順に積層して積層膜を形成し、続いてこの積層膜をパターンニングして形成することができる。尚、図ではカソード電極11を単層で表した。次に、支持体10とカソード電極11の上に、厚さ0.7 μ mの絶縁層12を、TEOS(テトラエトキシシラン)を原料ガスとするプラズマCVD法に基づき形成する。次いで、絶縁層12の上にゲ*

[表3]

メッキ液	: 硫酸銅 (CuSO ₄ ·5H ₂ O)	7g/リットル
	ホルマリン (37% HCHO)	20ml/リットル
	水酸化ナトリウム (NaOH)	10g/リットル
	酒石酸ナトリウムカリウム	20g/リットル

メッキ浴温度: 50°C

【0203】[工程-P4] その後、マスク材料層92と導電材料層91とを支持体10の表面に対して平行な面内で除去することにより、柱状部91Bにマスク材料層92を残す(図37の(B)参照)。この除去は、例えば化学的機械的研磨法(CMP法)により行うことができる。

【0204】[工程-P5] 次に、導電材料層91と密着層90のエッチング速度がマスク材料層92のエッチング速度よりも速くなる異方性エッチング条件下で、導

*ート電極13を形成する。

【0199】更に、全面に例えばSiO₂から成る厚さ0.2 μ mのエッチング停止層93を形成する。エッチング停止層93は、電界放出素子の機能上不可欠な部材ではなく、後工程で行われる導電材料層91のエッチング時に、ゲート電極13を保護する役割を果たす。尚、導電材料層91のエッチング条件に対してゲート電極13が十分に高いエッチング耐性を持ち得る場合には、エッチング停止層93を省略しても構わない。その後、RIE法により、エッチング停止層93、ゲート電極13、絶縁層12を貫通し、底部にカソード電極11が露出した開口部14を、[工程-A2]と同様の方法に基づき形成する。このようにして、図36の(A)に示す状態が得られる。

【0200】[工程-P2] 次に、開口部14内を含む全面に、例えば厚さ0.03 μ mのタングステンから成る密着層90を形成する。次いで、開口部14内を含む全面に電子放出部形成用の導電材料層91を形成する(図36の(B)参照)。但し、[スピント型電界放出素子の製造方法の変形-2]における導電材料層91は、[スピント型電界放出素子の製造方法の変形-1]の製造方法で述べた凹部91Aよりも深い凹部91Aが表面に生成されるように、導電材料層91の厚さを選択する。即ち、導電材料層91の厚さを適切に設定することによって、開口部14の上端面と底面との間の段差を反映して、柱状部91Bとこの柱状部91Bの上端に連通する拡大部91Cとから成る略漏斗状の凹部91Aを導電材料層91の表面に生成させることができる。

【0201】[工程-P3] 次に、導電材料層91の全面に、例えば無電解メッキ法により、厚さ約0.5 μ mの銅(Cu)から成るマスク材料層92を形成する(図37の(A)参照)。無電解メッキ条件を以下の表3に例示する。

【0202】

電材料層91とマスク材料層92と密着層90とをエッチングする。その結果、開口部14内に錐状形状を有する電子放出部15Eが形成される(図38の(A)参照)。尚、電子放出部15Eの先端部にマスク材料層92が残存する場合には、希フッ酸水溶液を用いたウェットエッチングによりマスク材料層92を除去することができる。

【0205】[工程-P6] 次に、等方的なエッチング条件下で開口部14の内部において絶縁層12に設けられ

た開口部14の側壁面を後退させると、図38の(B)に示す電界放出素子が完成される。等方的なエッチングについては、[スピント型電界放出素子の製造方法の変形-1]の製造方法で説明したと同様とすればよい。

【0206】ところで、[スピント型電界放出素子の製造方法の変形-2]の製造方法で形成された電子放出部15Eにおいては、[スピント型電界放出素子の製造方法の変形-1]の製造方法で形成された電子放出部15Eに比べ、より鋭い錐状形状が達成されている。これは、マスク材料層92の形状と、マスク材料層92のエッチング速度に対する導電材料層91のエッチング速度の比の違いに起因する。この違いについて、図39を参照しながら説明する。図39は、被エッチング物の表面プロファイルが一定時間毎にどのように変化するかを示す図であり、図39の(A)は銅から成るマスク材料層92を用いた場合、図39の(B)はレジスト材料から成るマスク材料層92を用いた場合をそれぞれ示す。尚、簡略化のために導電材料層91のエッチング速度と密着層90のエッチング速度とをそれぞれ等しいものと仮定し、図39においては密着層90の図示を省略する。

【0207】銅から成るマスク材料層92を用いた場合(図39の(A)参照)は、マスク材料層92のエッチング速度が導電材料層91のエッチング速度に比べて十分に遅いために、エッチング中にマスク材料層92が消失することがなく、従って、先端部の鋭い電子放出部15Eを形成することができる。これに対して、レジスト材料から成るマスク材料層92を用いた場合(図39の(B)参照)は、マスク材料層92のエッチング速度が導電材料層91のエッチング速度に比べてそれ程遅くないために、エッチング中にマスク材料層92が消失し易く、従って、マスク材料層消失後の電子放出部15Eの錐状形状が鈍化する傾向がある。

【0208】また、柱状部91Bに残るマスク材料層92には、柱状部91Bの深さが多少変化しても、電子放出部15Eの形状は変化し難いというメリットもある。即ち、柱状部91Bの深さは、導電材料層91の厚さやステップカバレッジのばらつきによって変化し得るが、柱状部91Bの幅は深さによらずほぼ一定なので、マスク材料層92の幅もほぼ一定となり、最終的に形成される電子放出部15Eの形状には大差が生じない。これに対して、凹部91Aに残るマスク材料層92においては、凹部91Aが浅い場合と深い場合とでマスク材料層の幅も変化してしまうため、凹部91Aが浅くマスク材料層92の厚さが薄い場合ほど、より早期に電子放出部15Eの錐状形状の鈍化が始まる。電界放出素子の電子放出効率は、ゲート電極とカソード電極との間の電位差、ゲート電極とカソード電極との間の距離、電子放出部の構成材料の仕事関数の他、電子放出部の先端部の形状によっても変化する。このため、必要に応じて上述の

ようにマスク材料層の形状やエッチング速度を選択することが好ましい。

【0209】[スピント型電界放出素子の製造方法の変形-3][スピント型電界放出素子の製造方法の変形-3]の製造方法は、[スピント型電界放出素子の製造方法の変形-2]のスピント型電界放出素子の製造方法の変形である。[スピント型電界放出素子の製造方法の変形-3]の製造方法においては、工程(e)において、開口部の上端面と底面との間の段差を反映して、柱状部とこの柱状部の上端に連通する拡大部とから成る略漏斗状の凹部を導電材料層の表面に生成させ、工程(f)において、導電材料層の全面にマスク材料層を形成した後、導電材料層上と拡大部内のマスク材料層を除去することにより、柱状部にマスク材料層を残す。以下、[スピント型電界放出素子の製造方法の変形-3]におけるスピント型電界放出素子の製造方法を、支持体等の模式的な一部端面図である図40及び図41を参照して説明する。

【0210】[工程-Q1] 先ず、図37の(A)に示したマスク材料層92の形成までを[スピント型電界放出素子の製造方法の変形-2]の製造方法の[工程-P1]～[工程-P3]と同様に行った後、導電材料層91上と拡大部91C内のマスク材料層92のみを除去することにより、柱状部91Bにマスク材料層92を残す(図40の(A)参照)。このとき、例えば希フッ酸水溶液を用いたウェットエッチングを行うことにより、タングステンから成る導電材料層91を除去することなく、銅から成るマスク材料層92のみを選択的に除去することができる。柱状部91B内に残るマスク材料層92の高さは、エッチング時間に依存するが、このエッチング時間は、拡大部91Cに埋め込まれたマスク材料層92の部分が十分に除去される限りにおいて、それ程の厳密さを要しない。なぜなら、マスク材料層92の高低に関する議論は、図39の(A)を参照しながら前述した柱状部91Bの浅深に関する議論と実質的に同じであり、マスク材料層92の高低は最終的に形成される電子放出部15Eの形状に大きな影響を及ぼさないからである。

【0211】[工程-Q2] 次に、導電材料層91とマスク材料層92と密着層90のエッチングを、[スピント型電界放出素子の製造方法の変形-2]の製造方法と同様に行い、図40の(B)に示すような電子放出部15Eを形成する。この電子放出部15Eは、図38の(A)に示したように全体が錐状形状を有していても勿論構わないが、図40の(B)には先端部のみが錐状形状を有する変形例を示した。かかる形状は、柱状部91Bに埋め込まれたマスク材料層92の高さが低いか、若しくは、マスク材料層92のエッチング速度が比較的速い場合に生じ得るが、電子放出部15Eとしての機能に何ら支障はない。

【0212】 [工程-Q3] その後、等方的なエッチング条件で開口部14の内部において絶縁層12に設けられた開口部14の側壁面を後退させると、図41に示す電界放出素子が完成される。等方的なエッチングについては、[スピント型電界放出素子の製造方法の変形-1]の作製方法で説明したと同様とすればよい。

【0213】 [スピント型電界放出素子の製造方法の変形-4] [スピント型電界放出素子の製造方法の変形-4]の製造方法は、[スピント型電界放出素子の製造方法の変形-1]の製造方法の変形である。[スピント型電界放出素子の製造方法の変形-4]の模式的な一部端面図を図42に示す。[スピント型電界放出素子の製造方法の変形-4]が[スピント型電界放出素子の製造方法の変形-1]と異なる点は、電子放出部が、基部94と、基部94上に積層された錐状の電子放出部15Eとから構成されている点にある。ここで、基部94と電子放出部15Eとは異なる導電材料から構成されている。具体的には、基部94は、電子放出部15Eとゲート電極13の開口端部との間の距離を調節するための部材であり、且つ、抵抗体層としての機能を有し、不純物を含有するポリシリコン層から構成されている。電子放出部15Eはタングステンから構成されており、錐形状、より具体的には円錐形状を有する。尚、基部94と電子放出部15Eの間には、TiNから成る密着層90が形成されている。尚、密着層90は、電子放出部の機能上不可欠な構成要素ではなく、製造上の理由で形成されている。絶縁層12がゲート電極13の直下から基部94の上端部にかけてえぐられることにより、開口部14が形成されている。

【0214】 以下、[スピント型電界放出素子の製造方法の変形-4]の製造方法を、支持体等の模式的な一部端面図である図43～図45を参照して説明する。

【0215】 [工程-R1] 先ず、開口部14の形成までを、[スピント型電界放出素子の製造方法の変形-1]の製造方法の[工程-N1]と同様に行う。続いて、開口部14内を含む全面に基部形成用の導電材料層94Aを形成する。導電材料層94Aは、抵抗体層としても機能し、ポリシリコン層から構成され、プラズマCVD法により形成することができる。次いで、全面に、スピコート法にてレジスト材料から成る平坦化層95を表面が略平坦となるように形成する(図43(A)参照)。次に、平坦化層95と導電材料層94Aのエッチング速度が共に略等しくなる条件で両層をエッチングし、開口部14の底部を上面が平坦な基部94で埋め込む(図43の(B)参照)。エッチングは、塩素系ガスと酸素系ガスを含有するエッチングガスを用いたRIE法により行うことができる。導電材料層94Aの表面を平坦化層95で一旦平坦化してからエッチングを行っているため、基部94の上面が平坦となる。

【0216】 [工程-R2] 次に、開口部14の残部を

含む全面に密着層90を成膜し、更に、開口部14の残部を含む全面に電子放出部形成用の導電材料層91を成膜し、開口部14の残部を導電材料層91で埋め込む

(図44の(A)参照)。密着層90は、スパッタリング法により形成される厚さ0.07 μ mのTiN層であり、導電材料層91は減圧CVD法により形成される厚さ0.6 μ mのタングステン層である。導電材料層91の表面には、開口部14の上端面と底面との間の段差を反映して凹部91Aが形成されている。

【0217】 [工程-R3] 次に、導電材料層91の全面に、スピコート法によりレジスト材料から成るマスク材料層92を表面が略平坦となるように形成する(図44の(B)参照)。マスク材料層92は、導電材料層91の表面の凹部91Aを吸収して平坦な表面となっている。次に、マスク材料層92を酸素系ガスをを用いたRIE法によりエッチングする(図45の(A)参照)。このエッチングは、導電材料層91の平坦面が露出した時点で終了する。これにより、導電材料層91の凹部91Aにマスク材料層92が平坦に残され、マスク材料層92は、開口部14の中央部に位置する導電材料層91の領域を遮蔽するように形成されている。

【0218】 [工程-R4] 次に、[スピント型電界放出素子の製造方法の変形-1]の製造方法の[工程-N5]と同様にして、導電材料層91、マスク材料層92及び密着層90を共にエッチングすると、前述の機構に基づき対レジスト選択比の大きさに応じた円錐形状を有する電子放出部15Eと密着層90とが形成され、電子放出部が完成される(図45の(B)参照)。その後、開口部14の内部において絶縁層12に設けられた開口部14の側壁面を後退させると、図42に示した電界放出素子を得ることができる。

【0219】 [スピント型電界放出素子の製造方法の変形-5] [スピント型電界放出素子の製造方法の変形-5]の製造方法は、[スピント型電界放出素子の製造方法の変形-2]の製造方法の変形である。[スピント型電界放出素子の製造方法の変形-5]の模式的な一部端面図を図47の(B)に示す。[スピント型電界放出素子の製造方法の変形-5]が[スピント型電界放出素子の製造方法の変形-2]と異なる点は、電子放出部が、[スピント型電界放出素子の製造方法の変形-4]と同様に、基部94と、基部94上に積層された錐状の電子放出部15Eとから構成されている点にある。ここで、基部94と電子放出部15Eとは異なる導電材料から構成されている。具体的には、基部94は、電子放出部15Eとゲート電極13の開口端部との間の距離を調節するための部材であり、且つ、抵抗体層としての機能を有し、不純物を含有するポリシリコン層から構成されている。電子放出部15Eはタングステンから構成されており、錐形状、より具体的には円錐形状を有する。尚、基部94と電子放出部15Eの間には、TiNから成

る密着層90が形成されている。尚、密着層90は、電子放出部の機能上不可欠な構成要素ではなく、製造上の理由で形成されている。絶縁層12がゲート電極13の直下から基部94の上端部にかけてえぐられることにより、開口部14が形成されている。

【0220】以下、[スピント型電界放出素子の製造方法の変形-5]の製造方法を、支持体等の模式的な一部端面図である図46及び図47を参照して説明する。

【0221】[工程-S1] 先ず、開口部14の形成までを、[スピント型電界放出素子の製造方法の変形-1]の製造方法の[工程-N1]と同様に行う。次に、開口部14内を含む全面に基部形成用の導電材料層を形成し、導電材料層をエッチングすることによって、開口部14の底部を埋め込む基部94を形成することができる。尚、図示される基部94は平坦化された表面を有しているが、表面が窪んでいてもよい。尚、平坦化された表面を有する基部94は、[スピント型電界放出素子の製造方法の変形-4]の製造方法の[工程-R1]と同様のプロセスによって形成可能である。更に、開口部14の残部を含む全面に、密着層90及び電子放出部形成用の導電材料層91を順次形成する。このとき、開口部14の残部の上端面と底面との間の段差を反映した柱状部91Bとこの柱状部91Bの上端に連通する拡大部91Cとから成る略漏斗状の凹部91Aが導電材料層91の表面に生成されるように、導電材料層91の厚さを選択する。次に、導電材料層91上にマスク材料層92を形成する。このマスク材料層92は、例えば銅を用いて形成する。図46の(A)は、ここまでのプロセスが終了した状態を示している。

【0222】[工程-S2] 次に、マスク材料層92と導電材料層91とを支持体10の表面に対して平行な面内で除去することにより、柱状部91Bにマスク材料層92を残す(図46の(B)参照)。この除去は、[工程-P4]と同様に、化学的機械的研磨法(CMP法)により行うことができる。

【0223】[工程-S3] 次に、導電材料層91とマスク材料層92と密着層90とをエッチングすると、前述の機構に基づき対レジスト選択比の大きさに応じた円錐形状を有する電子放出部15Eが形成される。これらの層のエッチングは、[スピント型電界放出素子の製造方法の変形-2]の製造方法の[工程-P5]と同様に行うことができる。電子放出部15Eと基部94、及び、電子放出部15Eと基部94の間に残存する密着層90とによって、電子放出部が形成される。電子放出部は、全体が錐状形状を有していても勿論構わないが、図47の(A)には基部94の一部が開口部14の底部を埋め込むように残存した状態を示した。かかる形状は、柱状部91Bに埋め込まれたマスク材料層92の高さが低いか、若しくは、マスク材料層92のエッチング速度が比較的速い場合に生じ得るが、電子放出部としての機

能に何ら支障はない。

【0224】[工程-S4] その後、等方的なエッチング条件で開口部14の内部において絶縁層12の側壁面を後退させると、図47の(B)に示した電界放出素子が完成される。等方的なエッチング条件は、[スピント型電界放出素子の製造方法の変形-1]の製造方法で説明したと同様とすればよい。

【0225】[スピント型電界放出素子の製造方法の変形-6] [スピント型電界放出素子の製造方法の変形-6]の製造方法は、[スピント型電界放出素子の製造方法の変形-3]のスピント型電界放出素子の製造方法の変形である。[スピント型電界放出素子の製造方法の変形-6]がスピント型電界放出素子の製造方法の変形-3と異なる点は、電子放出部が、[スピント型電界放出素子の製造方法の変形-4]と同様に、基部94と、基部94上に積層された錐状の電子放出部15Eとから構成されている点にある。以下、スピント型電界放出素子である[スピント型電界放出素子の製造方法の変形-6]の製造方法を、支持体等の模式的な一部端面図である図48を参照して説明する。

【0226】[工程-T1] マスク材料層92の形成までを[スピント型電界放出素子の製造方法の変形-5]の製造方法の[工程-S1]と同様に行う。その後、導電材料層91上と拡大部91C内のマスク材料層92のみを除去することにより、柱状部91Bにマスク材料層92を残す(図48参照)。例えば希フッ酸水溶液を用いたウェットエッチングを行い、タンゲステンから成る導電材料層91を除去することなく、銅から成るマスク材料層92のみを選択的に除去することができる。この後の導電材料層91とマスク材料層92のエッチング、絶縁層12の等方的なエッチング等のプロセスは、全て、[スピント型電界放出素子の製造方法の変形-5]の製造方法と同様に行うことができる。

【0227】以上、本発明を、実施の形態に基づき説明したが、本発明はこれらに限定されるものではない。発明の実施の形態にて説明した表示用パネルの構造の細部、この表示用パネルを適用した表示装置の構造の細部は例示であり、適宜変更、選択、組合せが可能である。また、表示用パネルに用いた構成材料や形成方法についても、適宜変更、選択、組合せが可能である。

【0228】更には、電子放出体を構成する電界放出素子の製造において使用した各種材料も例示であり、適宜変更することができる。電界放出素子においては、専ら1つの開口部に1つの電子放出部が対応する形態を説明したが、電界放出素子の構造に依っては、1つの開口部に複数の電子放出部が対応した形態、あるいは、複数の開口部に1つの電子放出部が対応する形態とすることもできる。

【0229】ゲート電極の上方に収束電極を形成する構造とすることもできる。ここで収束電極とは、開口部か

ら放出されアノード電極へ向かう放出電子の軌道を収束させ、以て、輝度の向上や隣接画素間の色濁りの防止を可能とするための電極であり、アノード電極とカソード電極との間の電位差が数キロボルトのオーダーであって、カソードパネルとアノードパネルとの間の距離が比較的長い、所謂高電圧タイプの平面型表示装置を想定した場合に、特に有効な部材である。収束電極には、収束電源から相対的な負電圧が印加される。収束電極は、必ずしも電界放出素子ごとに設けられている必要はなく、例えば、電界放出素子の所定の配列方向に沿って延在させることにより、複数の電界放出素子に共通の収束効果を及ぼすこともできる。

【0230】表示装置において、背面パネル（カソードパネルCP）と表示用パネル（アノードパネルAP）とを周縁部において接合する場合、接合は接着層を用いて行ってもよいし、あるいはガラスやセラミックス等の絶縁性剛性材料から成る枠体と接着層とを併用して行ってもよい。枠体と接着層とを併用する場合には、枠体の高さを適宜選択することにより、接着層のみを使用する場合に比べ、カソードパネルCPとアノードパネルAPとの間の対向距離をより長く設定することが可能である。尚、接着層の構成材料としては、フリットガラスが一般的であるが、融点が120～400℃程度の所謂低融点金属材料を用いてもよい。かかる低融点金属材料としては、In（インジウム；融点157℃）；インジウム－金系の低融点合金；Sn80Ag20（融点220～370℃）、Sn95Cu5（融点227～370℃）等の錫（Sn）系高温はんだ；Pb97.5Ag2.5（融点304℃）、Pb94.5Ag5.5（融点304～365℃）、Pb97.5Ag1.5Sn1.0（融点309℃）等の鉛（Pb）系高温はんだ；Zn95Al5（融点380℃）等の亜鉛（Zn）系高温はんだ；Sn5Pb95（融点300～314℃）、Sn2Pb98（融点316～322℃）等の錫－鉛系標準はんだ；Au88Ga12（融点381℃）等のろう材（以上の添字は全て原子%を表す）を例示することができる。

【0231】表示装置において、カソードパネルCPとアノードパネルAPと枠体の三者を接合する場合、三者を同時に接合してもよいし、あるいは、第1段階でカソードパネルCP又はアノードパネルAPのいずれか一方と枠体とを接合し、第2段階でカソードパネルCP又はアノードパネルAPの他方と枠体とを接合してもよい。三者同時接合や第2段階における接合を高真空雰囲気中で行えば、カソードパネルCPとアノードパネルAPと枠体と接着層とにより囲まれた空間は、接合と同時に真空となる。あるいは、三者の接合終了後、カソードパネルCPとアノードパネルAPと枠体と接着層とによって囲まれた空間を排気し、真空とすることもできる。接合後に排気を行う場合、接合時の雰囲気圧力は常圧／減圧のいずれであってもよく、また、雰囲気構成する気

体は、大気であっても、あるいは窒素ガスや周期律表0族に属するガス（例えばArガス）を含む不活性ガスであってもよい。

【0232】接合後に排気を行う場合、排気は、カソードパネルCP及び／又はアノードパネルAPに予め接続されたチップ管を通じて行うことができる。チップ管は、典型的にはガラス管を用いて構成され、カソードパネルCP及び／又はアノードパネルAPの無効領域に設けられた貫通孔の周囲に、フリットガラス又は上述の低融点金属材料を用いて接合され、空間が所定の真空度に達した後、熱融着によって封じ切られる。尚、封じ切りを行う前に、表示装置全体を一旦加熱してから降温させると、空間に残留ガスを放出させることができ、この残留ガスを排気により空間外へ除去することができるので好適である。

【0233】表示装置においては、電界放出素子の構成に依存して（例えば、電子放出部を炭素薄膜から構成する場合）、絶縁層やゲート電極を設けずに、単に、カソード電極上に電子放出部を設けた構造とすることもできる。このような構造においては、1画素（1サブピクセル）単位で、カソード電極に印加する電圧の制御を行う。カソード電極の平面形状を略矩形とし、各カソード電極を配線及び例えばトランジスタから成るスイッチング素子を介してカソード電極駆動回路に接続する。各カソード電極に閾値電圧以上の電圧が印加されると、アノード電極によって形成される電界に基づき、量子トンネル効果に基づき電子放出部から電子が放出され、この電子がアノード電極に引き付けられ、単位蛍光体層に衝突する。輝度は、カソード電極に印加される電圧によって制御される。

【0234】ゲート電極を、開口部が形成された帯状あるいはシート状の金属箔から構成し、支持体上にゲート電極支持部を形成し、金属箔がかかるゲート電極支持部の頂面に接するように、且つ、電子放出部の上方に開口部が位置するように、金属箔が張架された構成とすることもできる。尚、この場合、金属箔に形成された複数の開口部の下方に1つの電子放出部が形成されていてもよいし、金属箔に形成された1つの開口部の下方に1つの電子放出部が形成されていてもよい。

【0235】ゲート電極を1枚のシート状導電材料から構成し、1画素（1サブピクセル）単位で、カソード電極に印加する電圧の制御を行う構成とすることもできる。この場合、カソード電極の平面形状を略矩形とし、各カソード電極を配線及び例えばトランジスタから成るスイッチング素子を介してカソード電極駆動回路に接続すればよい。あるいは又、カソード電極を1枚のシート状導電材料から構成し、1画素（1サブピクセル）単位で、ゲート電極に印加する電圧の制御を行う構成とすることもできる。この場合、ゲート電極の平面形状を略矩形とし、各ゲート電極を配線及び例えばトランジスタか

61

ら成るスイッチング素子を介してゲート電極駆動回路に接続すればよい。

【0236】電界放出素子として、上述の各型式の他に、表面伝導型電子放出素子と呼ばれる素子も知られており、本発明の表示装置に適用することができる。表面伝導型電子放出素子においては、例えばガラスから成る基板上に酸化錫 (SnO_2)、金 (Au)、酸化インジウム (In_2O_3) / 酸化錫 (SnO_2)、カーボン、酸化パラジウム (PdO) 等の材料から成り、微小面積を有する薄膜がマトリックス状に形成され、各薄膜は2つの薄膜片から成り、一方の薄膜片に行方向配線、他方の薄膜片に列方向配線が接続されている。一方の薄膜片と他方の薄膜片との間には数 nm のギャップが設けられている。行方向配線と列方向配線とによって選択された薄膜においては、ギャップを介して薄膜から電子が放出される。第1電極群が行方向配線である場合、第2電極群は列方向配線である。また、第1電極群が列方向配線である場合、第2電極群は行方向配線である。

【0237】

【発明の効果】本発明においては、背面パネル側においてビデオ信号が入力される電極の選択本数に依らず、電圧降下を一定範囲内に抑えることができるので、表示画面の輝度変動を抑制することが可能となり、表示画面の輝度が安定化した表示装置を得ることができる。しかも、アノード電極ユニットとカソード電極との間の静電容量を低減することができ、火花放電を効果的に防止することが可能となる。従って、表示用パネルと背面パネルとの間のギャップが比較的小さい所謂低電圧タイプの表示装置においても、アノード電極に高電圧を安定して印加することが可能となり、パネル構造の単純さ、低コストといった低電圧タイプの表示装置の本来の長所はそのままに、従来の短所を克服し、低消費電力にて常に安定した高輝度表示が可能な表示装置を提供することができる。更には、少なくともアノード電極ユニットの縁部が放電防止層によって被覆されているので、隣接するアノード電極ユニット間で放電が生じ難い。以上の結果として、高い表示品質、安定した表示性能を有し、しかも、長寿命の表示用パネルあるいは表示装置を提供することができる。

【図面の簡単な説明】

【図1】発明の実施の形態1の表示用パネルの模式的な一部断面図である。

【図2】発明の実施の形態1の表示用パネルの模式的な一部断面図である。

【図3】発明の実施の形態1の表示用パネルにおけるアノード電極ユニットの模式的な配置図である。

【図4】発明の実施の形態1の表示用パネルにおけるアノード電極ユニットの模式的な配置図である。

【図5】発明の実施の形態1の表示用パネルの製造方法を説明するための基板等の模式的な一部断面図である。

62

【図6】発明の実施の形態1の表示装置（具体的には、冷陰極電界電子放出表示装置）の模式的な一部端面図である。

【図7】表示用パネル（アノードパネル）及び背面パネル（カソードパネル）の模式的な斜視図である。

【図8】給電線が設けられ、アノード電極ユニットがカソード電極と略平行に配置された表示用パネルの模式的な平面図、及びこの表示用パネルと対向配置される背面パネルの模式的な平面図である。

【図9】スピント型冷陰極電界電子放出素子の製造方法を説明するための支持体等の模式的な一部端面図である。

【図10】図9に引き続き、スピント型冷陰極電界電子放出素子の製造方法を説明するための支持体等の模式的な一部端面図である。

【図11】クラウン型冷陰極電界電子放出素子の製造方法を説明するための支持体等の模式的な一部端面図である。

【図12】図11に引き続き、クラウン型冷陰極電界電子放出素子の製造方法を説明するための支持体等の模式的な一部端面図である。

【図13】扁平型冷陰極電界電子放出素子-1の製造方法を説明するための支持体等の模式的な一部断面図である。

【図14】扁平型冷陰極電界電子放出素子-2の製造方法を説明するための支持体等の模式的な一部断面図である。

【図15】扁平型冷陰極電界電子放出素子-3の製造方法を説明するための支持体等の模式的な一部端面図である。

【図16】図16に引き続き、扁平型冷陰極電界電子放出素子-3の製造方法を説明するための支持体等の模式的な一部端面図である。

【図17】平面型冷陰極電界電子放出素子-1の製造方法を説明するための支持体等の模式的な一部断面図である。

【図18】平面型冷陰極電界電子放出素子-2の模式的な一部断面図である。

【図19】平面型冷陰極電界電子放出素子-2の模式的な一部断面図である。

【図20】クレータ型冷陰極電界電子放出素子-1の製造方法を説明するための支持体等の模式的な一部端面図、及び、部分的な斜視図である。

【図21】図20に引き続き、クレータ型冷陰極電界電子放出素子-1の製造方法を説明するための支持体等の模式的な一部端面図、及び、部分的な斜視図である。

【図22】図22に引き続き、クレータ型冷陰極電界電子放出素子-1の製造方法を説明するための支持体等の模式的な一部端面図、及び、部分的な斜視図である。

【図23】図23に引き続き、クレータ型冷陰極電界電

子放出素子-1の製造方法を説明するための支持体等の模式的な一部断面図である。

【図24】クレータ型冷陰極電界電子放出素子-2の製造方法を説明するための支持体等の模式的な一部断面図である。

【図25】クレータ型冷陰極電界電子放出素子-3の製造方法を説明するための支持体等の模式的な一部断面図である。

【図26】クレータ型冷陰極電界電子放出素子-4の製造方法を説明するための支持体等の模式的な一部断面図である。

【図27】図26に引き続き、クレータ型冷陰極電界電子放出素子-4の製造方法を説明するための支持体等の模式的な一部断面図である。

【図28】エッジ型冷陰極電界電子放出素子の模式的な一部断面図である。

【図29】エッジ型冷陰極電界電子放出素子の製造方法を説明するための支持体等の模式的な一部断面図である。

【図30】[スピント型冷陰極電界電子放出素子の製造方法の変形-1]を説明するための支持体等の模式的な一部断面図である。

【図31】図30に引き続き、[スピント型冷陰極電界電子放出素子の製造方法の変形-1]を説明するための支持体等の模式的な一部断面図である。

【図32】図31に引き続き、[スピント型冷陰極電界電子放出素子の製造方法の変形-1]を説明するための支持体等の模式的な一部断面図である。

【図33】図32に引き続き、[スピント型冷陰極電界電子放出素子の製造方法の変形-1]を説明するための支持体等の模式的な一部断面図である。

【図34】円錐形状の電子放出部が形成される機構を説明するための図である。

【図35】対レジスト選択比と、電子放出部の高さ形状の関係を模式的に示す図である。

【図36】[スピント型冷陰極電界電子放出素子の製造方法の変形-2]を説明するための支持体等の模式的な一部断面図である。

【図37】図36に引き続き、[スピント型冷陰極電界電子放出素子の製造方法の変形-2]を説明するための支持体等の模式的な一部断面図である。

【図38】図37に引き続き、[スピント型冷陰極電界電子放出素子の製造方法の変形-2]を説明するための支持体等の模式的な一部断面図である。

【図39】被エッチング物の表面プロファイルが一定時間毎にどのように変化するかを示す図である。

【図40】[スピント型冷陰極電界電子放出素子の製造方法の変形-3]を説明するための支持体等の模式的な一部断面図である。

【図41】図40に引き続き、[スピント型冷陰極電界

電子放出素子の製造方法の変形-3]を説明するための支持体等の模式的な一部断面図である。

【図42】[スピント型冷陰極電界電子放出素子の製造方法の変形-4]にて得られるスピント型冷陰極電界電子放出素子の模式的な一部断面図である。

【図43】[スピント型冷陰極電界電子放出素子の製造方法の変形-4]を説明するための支持体等の模式的な一部断面図である。

【図44】図43に引き続き、[スピント型冷陰極電界電子放出素子の製造方法の変形-4]を説明するための支持体等の模式的な一部断面図である。

【図45】図44に引き続き、[スピント型冷陰極電界電子放出素子の製造方法の変形-4]を説明するための支持体等の模式的な一部断面図である。

【図46】[スピント型冷陰極電界電子放出素子の製造方法の変形-5]を説明するための支持体等の模式的な一部断面図である。

【図47】図46に引き続き、[スピント型冷陰極電界電子放出素子の製造方法の変形-5]を説明するための支持体等の模式的な一部断面図である。

【図48】[スピント型冷陰極電界電子放出素子の製造方法の変形-6]を説明するための支持体等の模式的な一部断面図である。

【図49】冷陰極電界電子放出素子を備えた従来の表示装置の概念図である。

【図50】蛍光体層がマトリックス状に配置された従来の表示用パネルの模式的な平面図、及び、模式的な一部断面図である。

【図51】蛍光体層がストライプ状に配置された従来の表示用パネルの模式的な平面図、及び、模式的な一部断面図である。

【図52】カソード電極の選択数の違いによる加速電圧の変動を説明するための表示用パネルの模式的な平面図である。

【符号の説明】

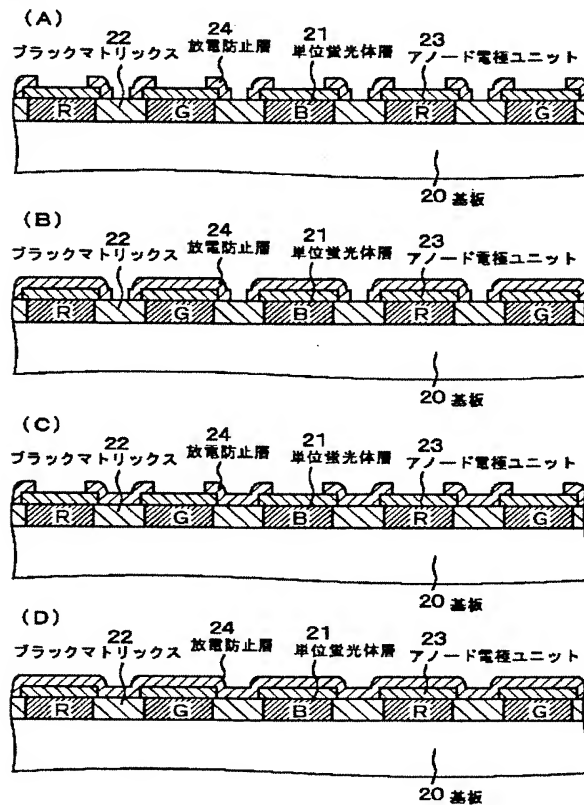
AP・・・アノードパネル（表示用パネル）、CP・・・カソードパネル（背面パネル）、R・・・赤色ストライプ状蛍光体層群、G・・・緑色ストライプ状蛍光体層群、B・・・青色ストライプ状蛍光体層群、10・・・支持体、11、111、211・・・カソード電極（第2電極群）、111A・・・隆起部、111B・・・凹部、111C・・・先端部、11A・・・微小凹凸部、11B・・・被覆層、12、12A、12B・・・層間絶縁層、13、13A、13B・・・ゲート電極（第1電極群）、14、14A、14B・・・開口部、15、15A、15B、15C、15D、15E・・・電子放出部、16・・・レジスト層、17・・・剥離層、18・・・導電材料層、20・・・基板、21・・・単位蛍光体層、22・・・ブラックマトリックス、23・・・アノード電極ユニット、24・・・放電防止層、25・・・

65

・給電線、30・・・カソード電極駆動回路、31・・・ゲート電極駆動回路、32・・・加速電源（アノード電極駆動回路）、40・・・感光性被膜、41・・・感光領域、42・・・感光性被膜の残部（露光、現像後の感光性被膜）、43・・・マスク、44・・・開口、51・・・剥離層、52・・・導電性組成物層、60・・・抵抗体層、70・・・炭素薄膜選択成長領域、71・・・マスク層、72・・・金属粒子、73・・・炭素*

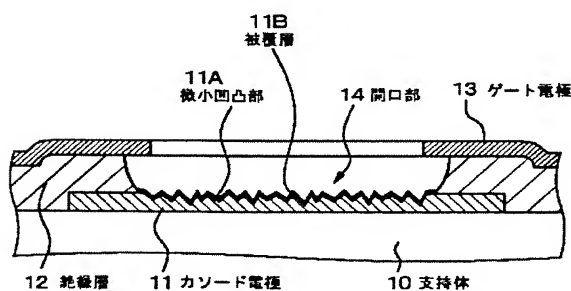
【図1】

【図1】



【図19】

【図19】

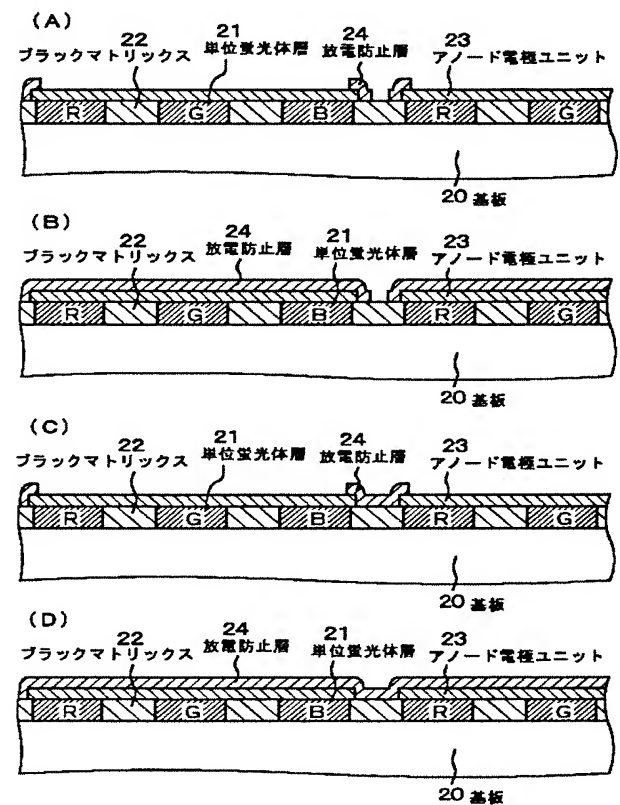


66

*薄膜、80, 180・・・球体、81・・・組成物層、81A・・・分散媒、81B・・・カソード電極材料、180A・・・芯材、180B・・・表面処理層、90・・・密着層、91・・・導電材料層、91A・・・凹部、91B・・・柱状部、91C・・・拡大部、92・・・マスク材料層、93・・・エッチング停止層、94・・・基部、94A・・・導電材料層、95・・・平坦化層

【図2】

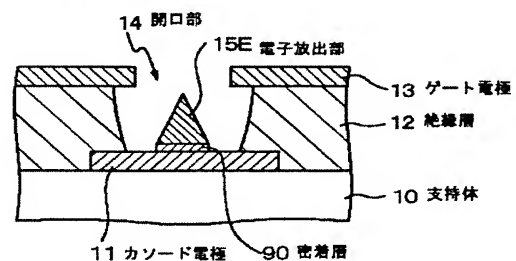
【図2】



【図33】

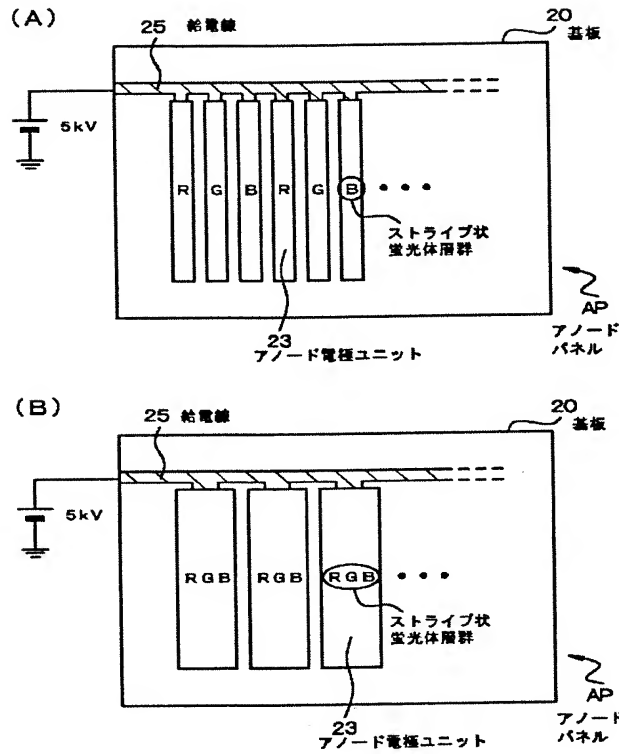
【図33】

【工程-N6】



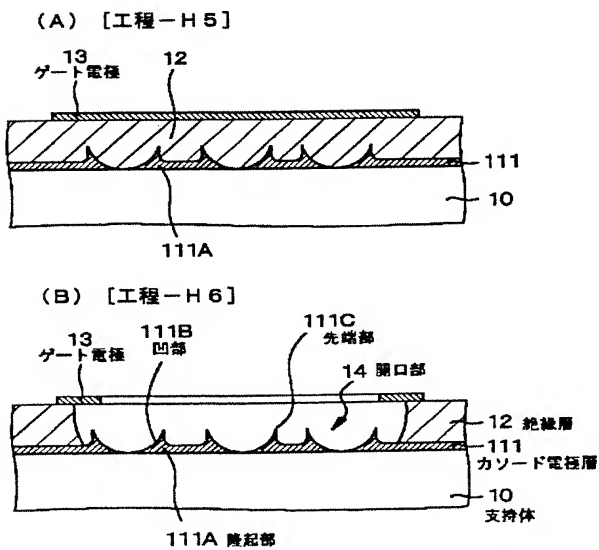
【図3】

【図3】



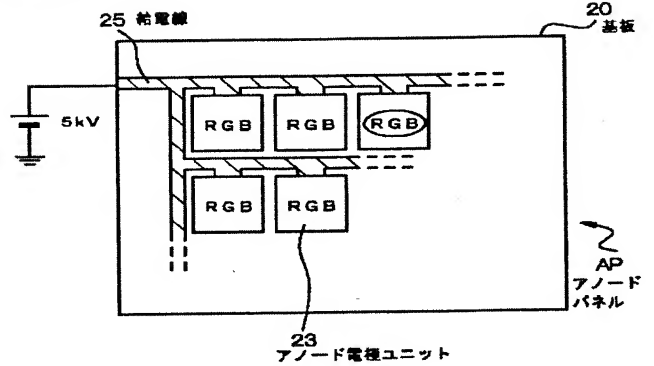
【図23】

【図23】



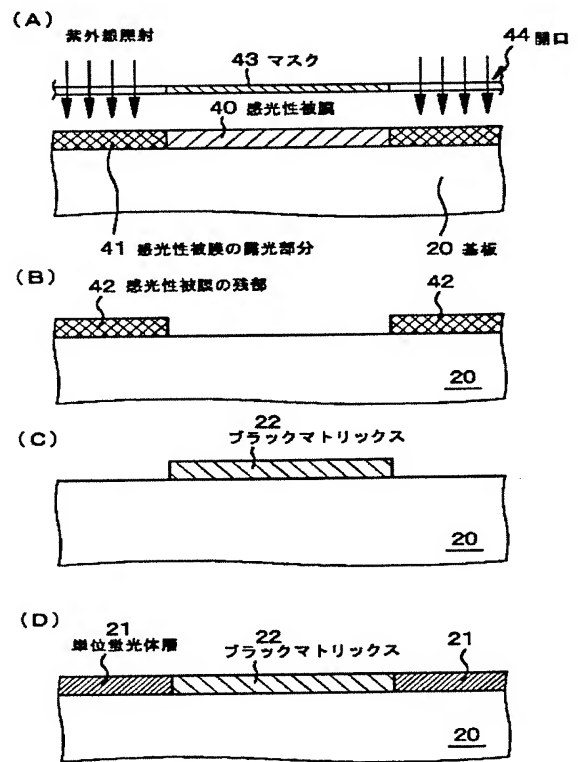
【図4】

【図4】



【図5】

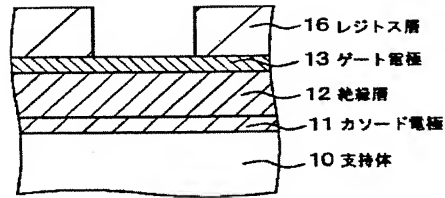
【図5】



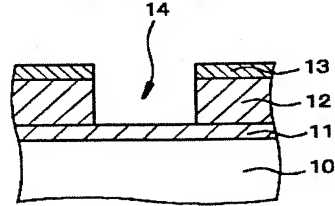
【図9】

【図9】

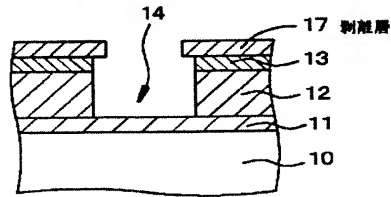
(A) 【工程-A2】



(B) 【工程-A2】 続き



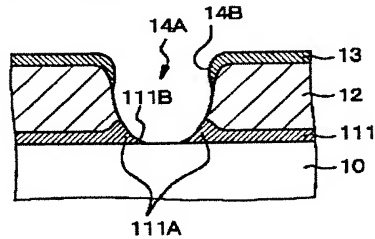
(C) 【工程-A3】



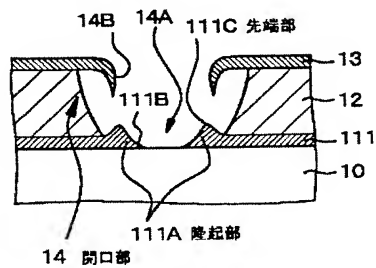
【図27】

【図27】

(A) 【工程-L5】



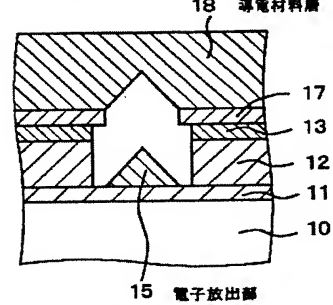
(B) 【工程-L6】



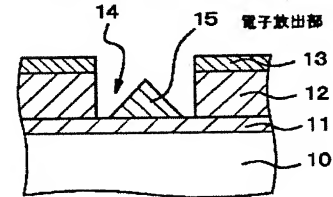
【図10】

【図10】

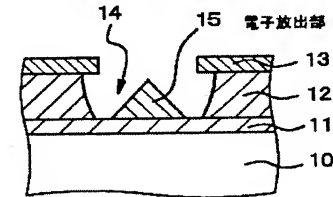
(A) 【工程-A4】



(B) 【工程-A5】



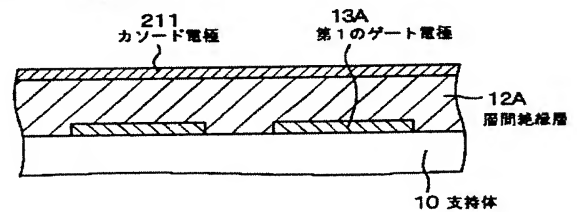
(C) 【工程-A5】 続き



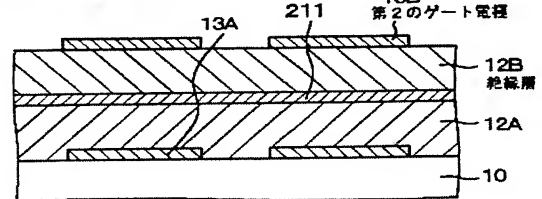
【図29】

【図29】

(A) 【工程-M1】



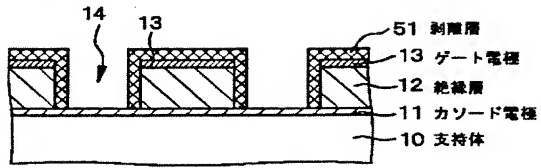
(B) 【工程-M2】



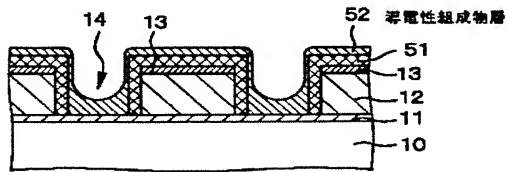
【図11】

【図11】

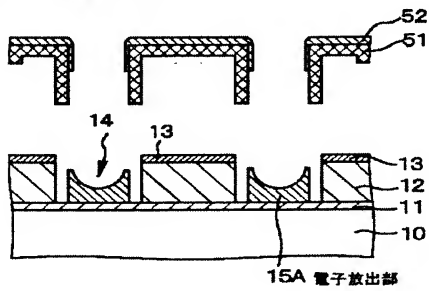
(A) 【工程-B3】



(B) 【工程-B4】



(C) 【工程-B5】

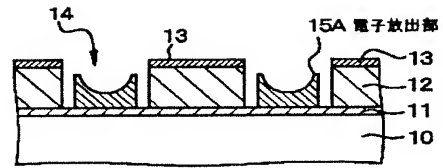


【図12】

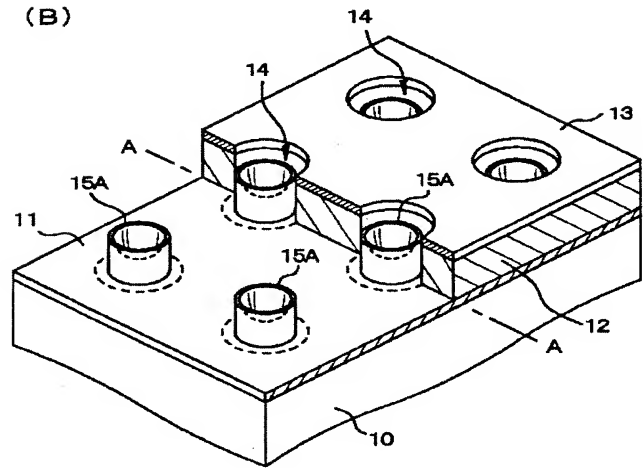
【図12】

【工程-B5】

(A)



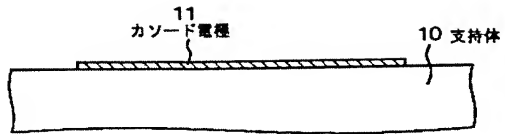
(B)



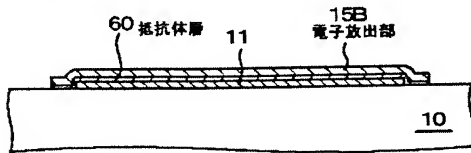
【図13】

【図13】

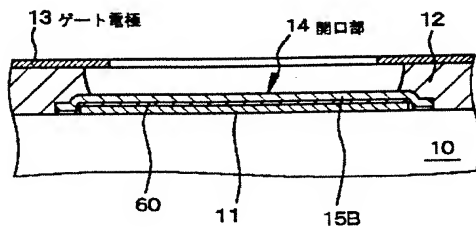
(A) 【工程-C1】



(B) 【工程-C2】



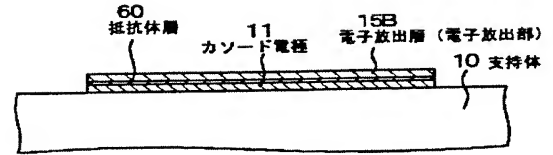
(C) 【工程-C4】



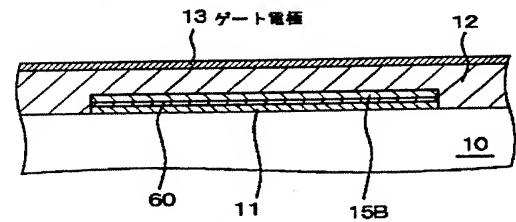
【図14】

【図14】

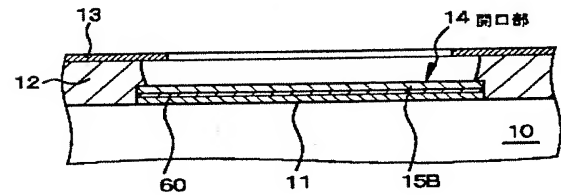
(A) 【工程-D1】



(B) 【工程-D2】



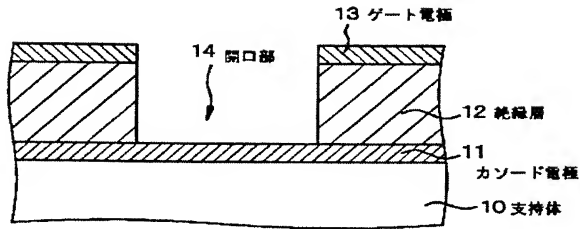
(C) 【工程-D2】 続き



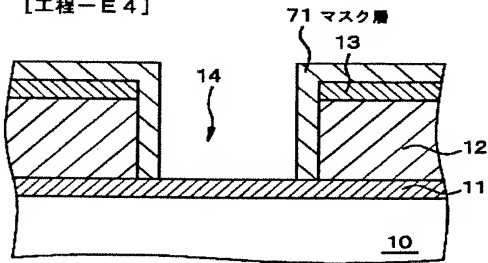
【図15】

【図15】

(A) 【工程-E3】



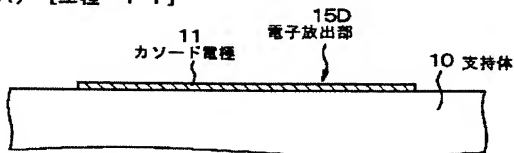
(B) 【工程-E4】



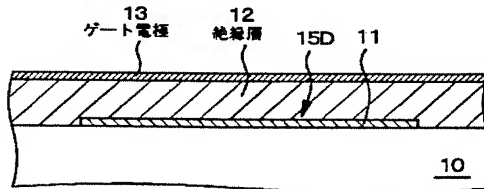
【図17】

【図17】

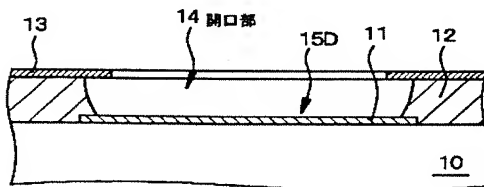
(A) 【工程-F1】



(B) 【工程-F3】



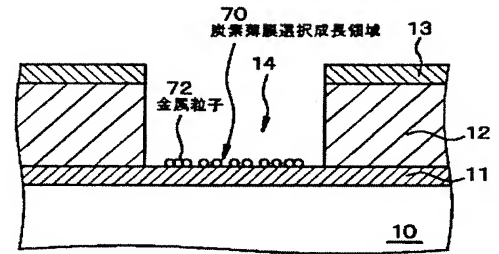
(C) 【工程-F4】



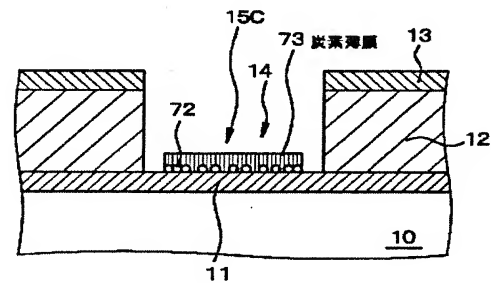
【図16】

【図16】

(A) 【工程-E4】 続き



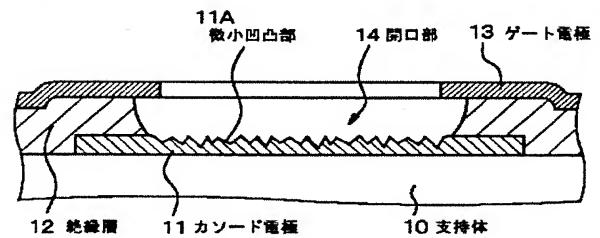
(B) 【工程-E5】



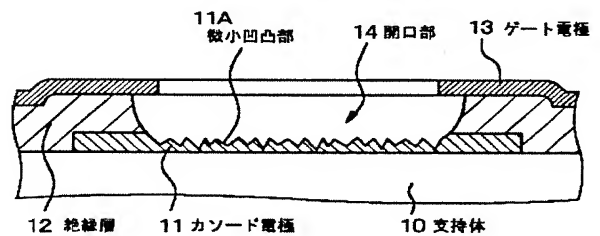
【図18】

【図18】

(A)



(B)

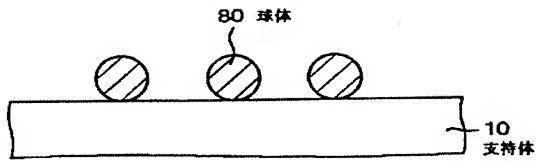


【図20】

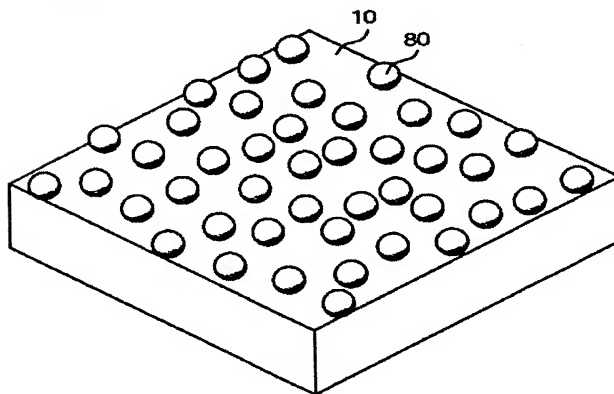
【図20】

【工程-H1】

(A)



(B)

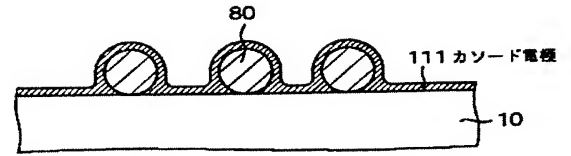


【図21】

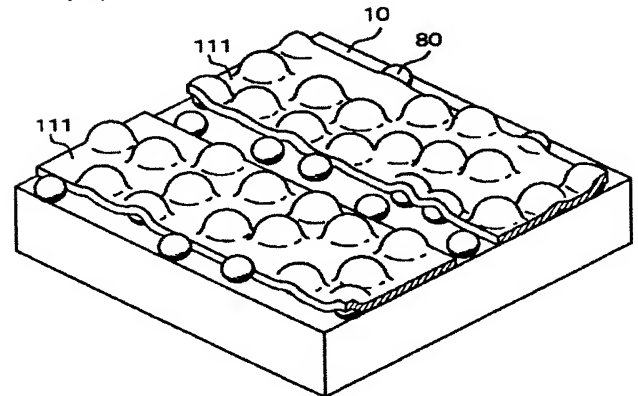
【図21】

【工程-H2】

(A)



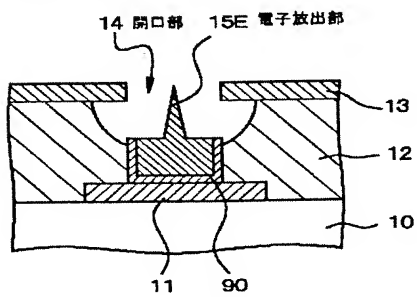
(B)



【図41】

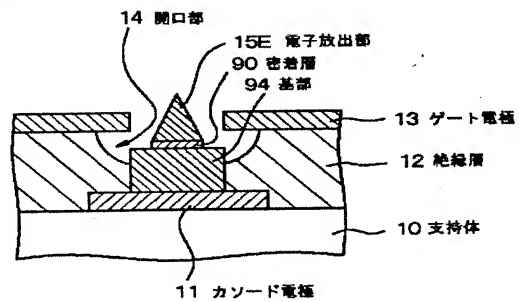
【図41】

【工程-Q3】



【図42】

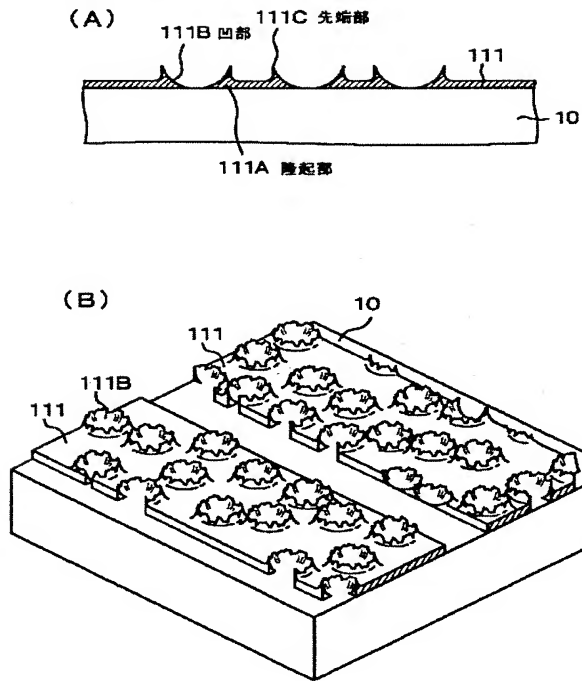
【図42】



【図22】

【図22】

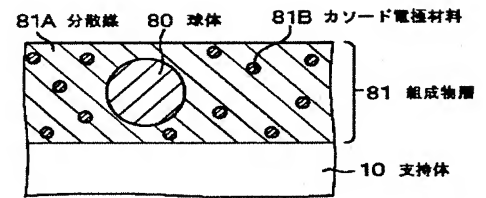
【工程-H3】



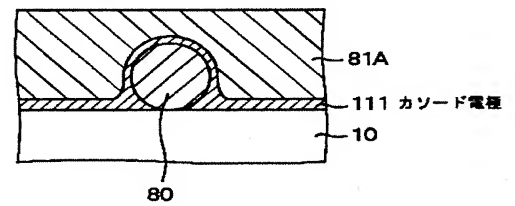
【図24】

【図24】

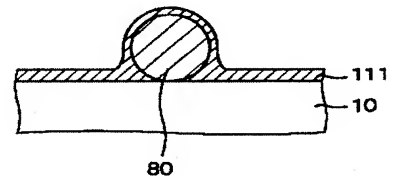
(A) 【工程-J1】



(B) 【工程-J2】



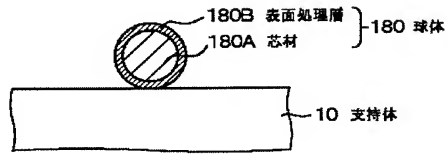
(C) 【工程-J3】



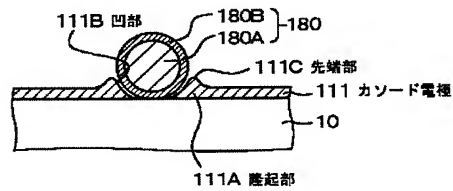
【図25】

【図25】

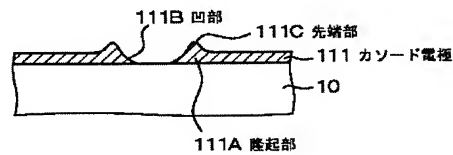
(A) 【工程-K1】



(B) 【工程-K2】



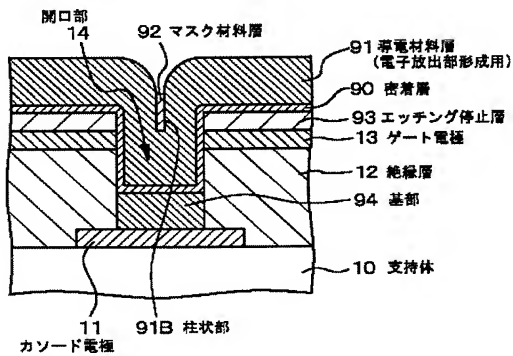
(C) 【工程-K3】



【図48】

【図48】

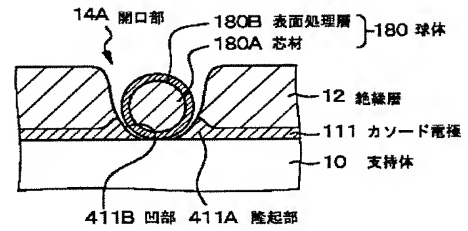
【工程-T1】



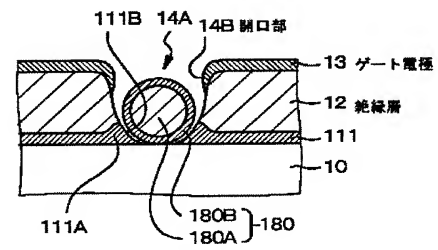
【図26】

【図26】

(A) 【工程-L3】



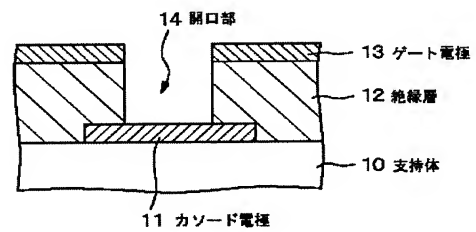
(B) 【工程-L4】



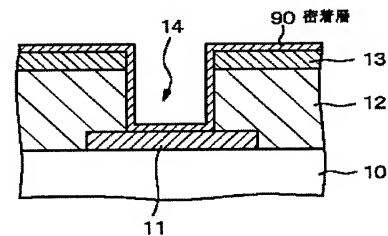
【図30】

【図30】

(A) 【工程-N1】

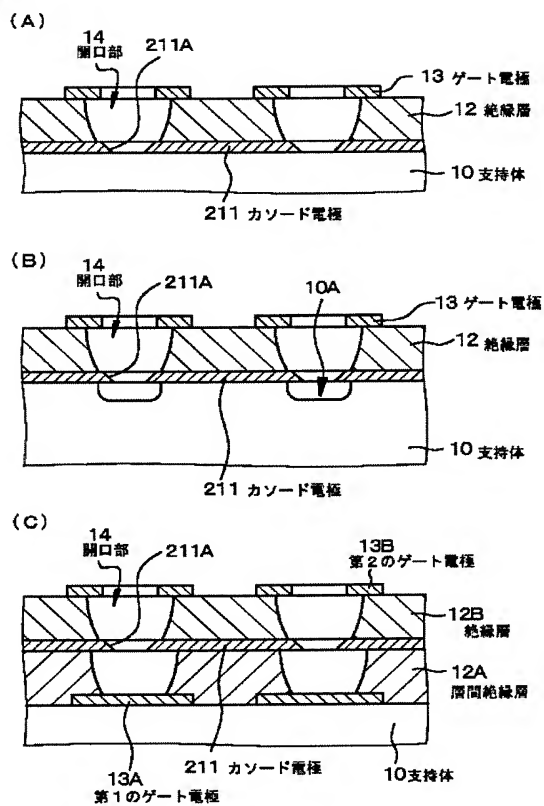


(B) 【工程-N2】



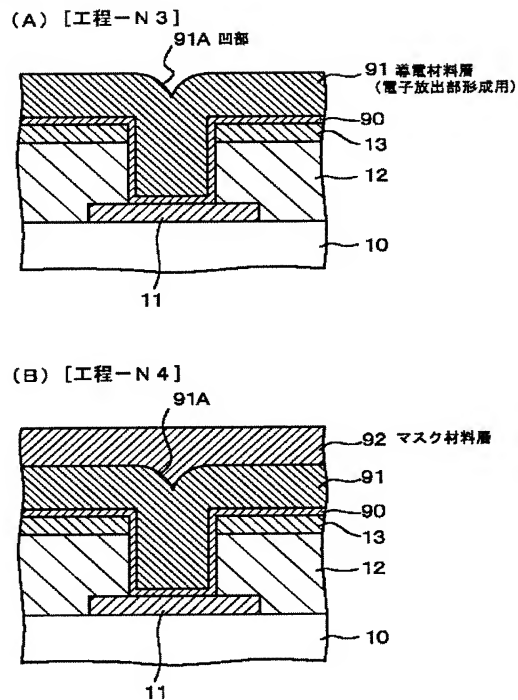
【図28】

【図28】



【図31】

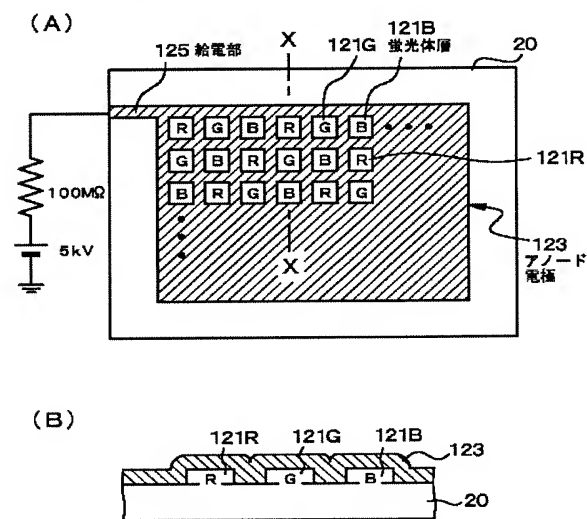
【図31】



【図50】

【図50】

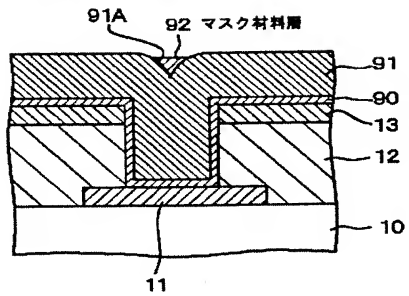
【従来の技術】



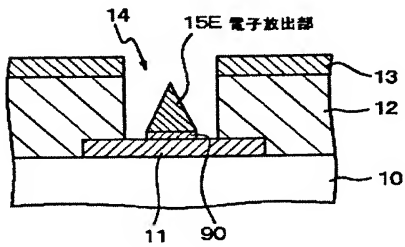
【図32】

【図32】

(A) [工程-N4] 続き

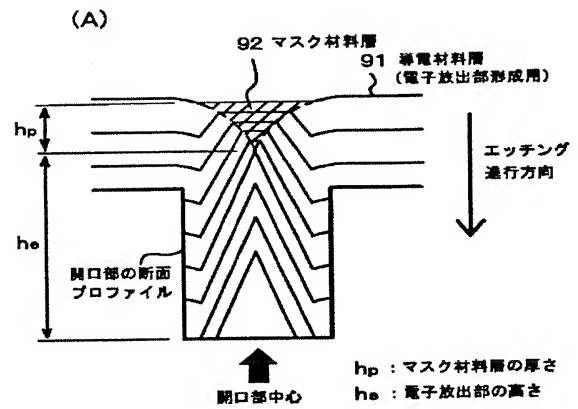


(B) [工程-N5]

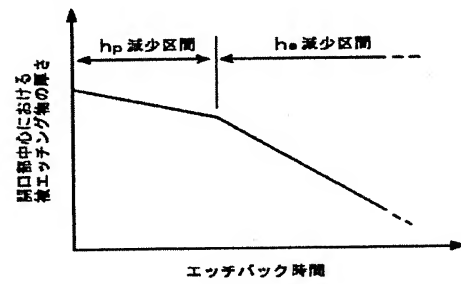


【図34】

【図34】



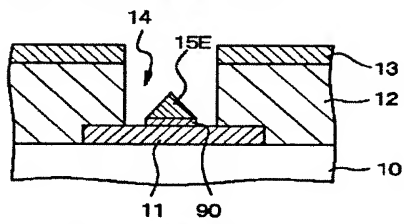
(B)



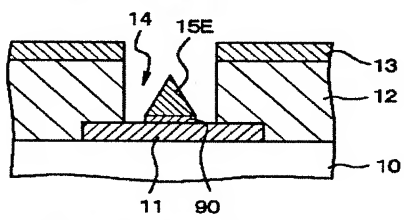
【図35】

【図35】

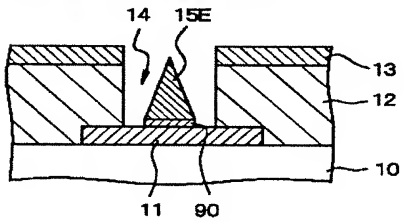
(A) 対レジスト選択比=小



(B) 対レジスト選択比=中



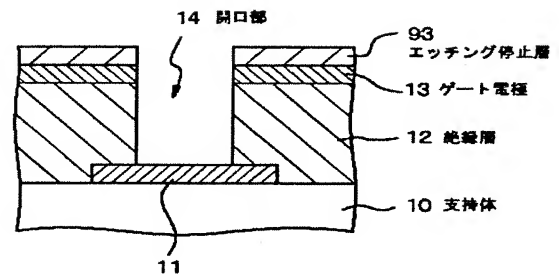
(C) 対レジスト選択比=大



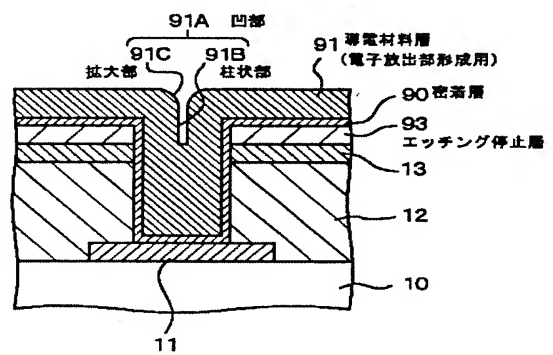
【図36】

【図36】

(A) [工程-P1]



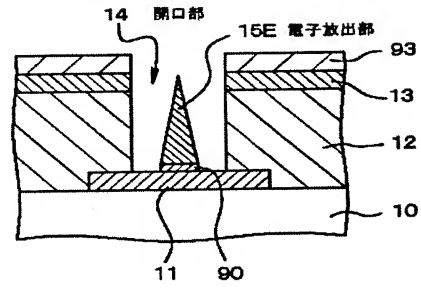
(B) [工程-P2]



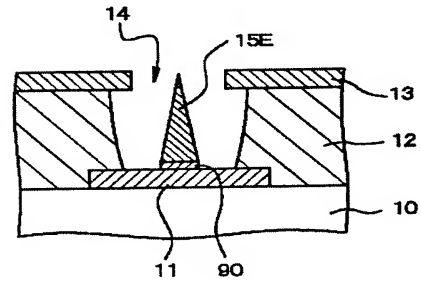
【図 38】

【图 38】

(A) [工程-P 5]



(B) [工程-P6]



【図 5 1】

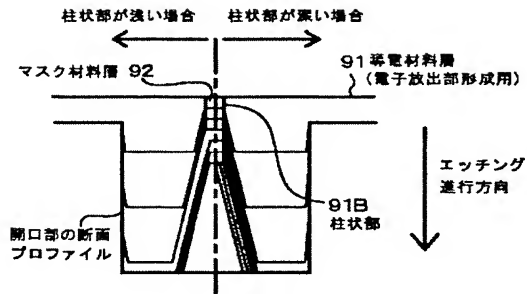
[従来の技術]

A cross-sectional view of a semiconductor device. It shows a substrate 20 with a gate electrode 121R on top. A gate insulating layer 123 is formed over the gate electrode 121R and the substrate 20. The gate electrode 121R is connected to a gate terminal 122.

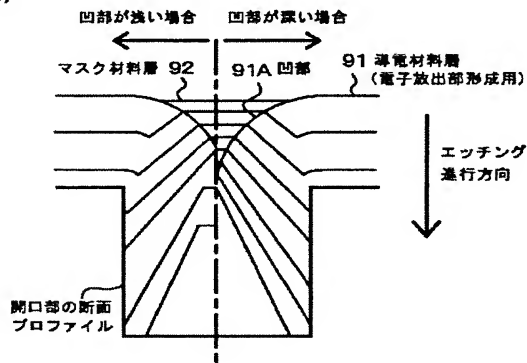
【図39】

【図39】

(A)



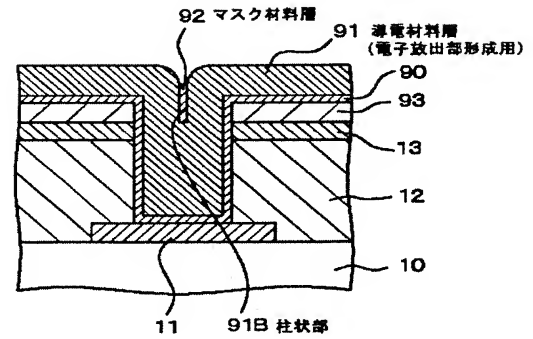
(B)



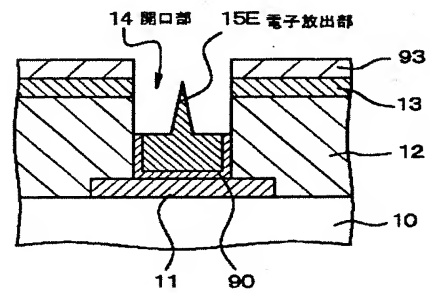
【図40】

【図40】

(A) 【工程-Q1】



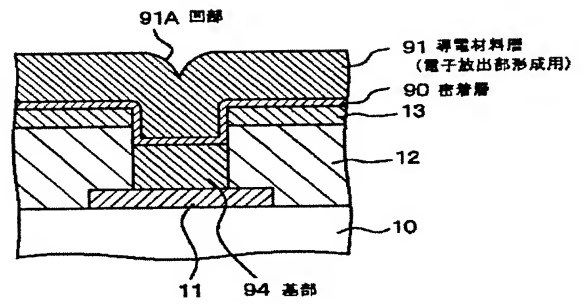
(B) 【工程-Q2】



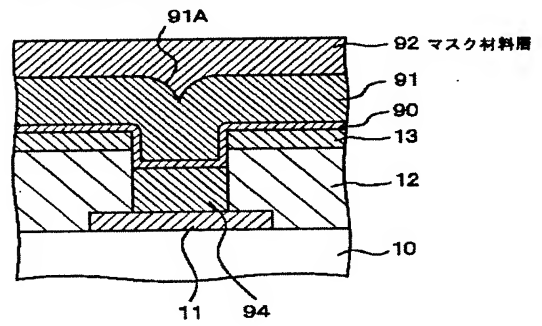
【图 4 4】

【图 4-4】

(A) [工程-R2]



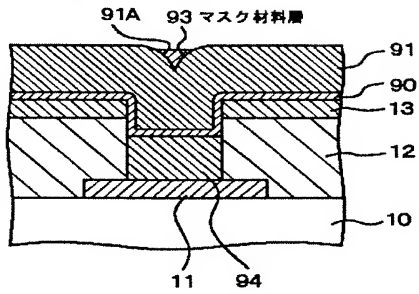
(B) [工程-R3]



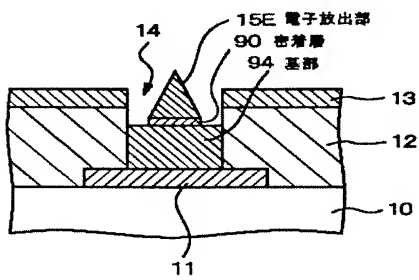
【図45】

【図45】

(A) 【工程-R3】 続き



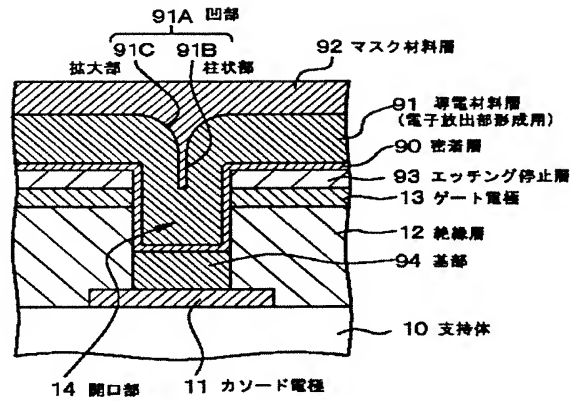
(B) 【工程-R4】



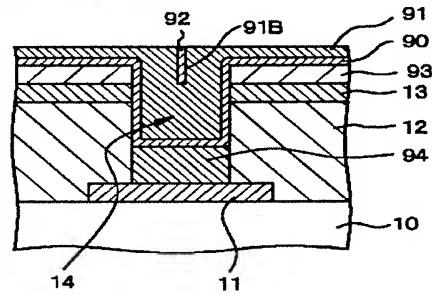
【図46】

【図46】

(A) 【工程-S1】



(B) 【工程-S2】



【図52】

【図52】

[従来の技術]

